

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11316706 A**

(43) Date of publication of application: **16 . 11 . 99**

(51) Int. Cl. **G06F 12/00**  
**G11C 11/407**  
**G11C 11/401**

(21) Application number: **10124636**

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: **07 . 05 . 98**

(72) Inventor: **TODA HARUKI**

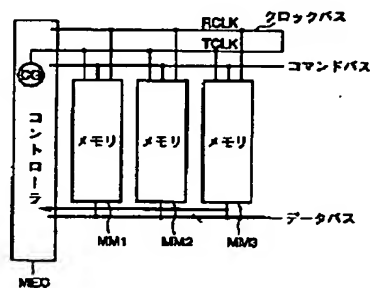
(54) **DATA FAST TRANSFER SYNCHRONOUS  
SYSTEM AND DATA FAST TRANSFER  
SYNCHRONIZING METHOD**

(57) Abstract:

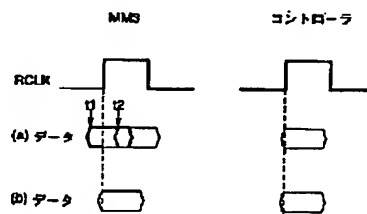
**PROBLEM TO BE SOLVED:** To provide fast synchronous data transfer even without strictly limiting a physical condition of a bus by generating an internal clock that synchronizes with a clock and correcting timing by introducing programmable deviation to the timing of the internal clock.

**SOLUTION:** When data that arrives at a controller is behind a clock RCLK, a memory module on the side that sends the data, e.g. a memory module MM3 outputs data in timing t1 that is faster than the clock RCLK. Also, when data arrives at the controller in fast timing, a memory module on the side which sends data outputs the data in timing t2 that is faster than the clock RCLK. The controller always synchronizes with the clock RCLK and data arrives by allowing the controller to adjust timing in which data is outputted from a memory module side in accordance with arriving timing in this way.

COPYRIGHT: (C)1999,JPO



(a)



(b)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-316706

(43) 公開日 平成11年(1999)11月16日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 6 F 12/00

5 6 4

G 0 6 F 12/00

5 6 4 A

G 1 1 C 11/407

G 1 1 C 11/34

3 5 4 C

11/401

3 6 2 S

3 6 2 Z

審査請求 未請求 請求項の数16 O L (全 30 頁)

(21) 出願番号 特願平10-124636

(22) 出願日 平成10年(1998) 5 月 7 日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 戸田 春希

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

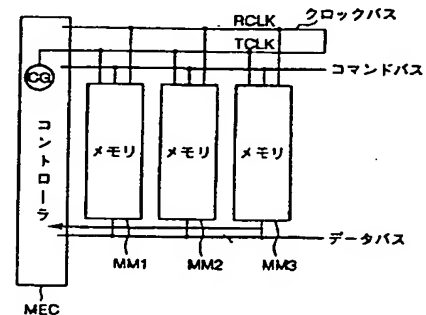
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 データ高速転送同期システム及びデータ高速転送同期方法

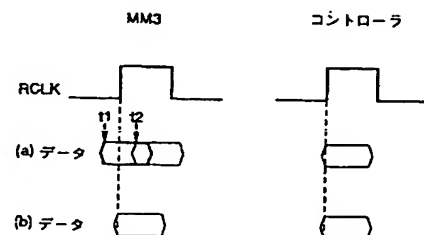
(57) 【要約】 (修正有)

【課題】 メモリモジュールとメモリコントローラとの間のバスの物理条件をそれ程厳しく制限しなくても、高速な同期型データ転送が実現できるデータ高速転送同期システム及びデータ高速転送同期方法を提供する。

【解決手段】 複数のメモリモジュール内には、クロックからこのクロックに同期した内部クロックを発生しかつこの内部クロックのタイミングのずれを補正する機能を有する内部クロック発生回路が設けられている。



(a)



(b)

## 【特許請求の範囲】

【請求項 1】 クロックを受け、このクロックに同期して動作する複数のメモリモジュールと、

上記クロックを発生し、上記複数のメモリモジュールとの間でデータの転送が行われるメモリコントローラと、  
上記複数のメモリモジュール内にそれぞれ設けられ、上記クロックからこのクロックに同期した内部クロックを発生し、かつこの内部クロックのタイミングにプログラム可能なずれを導入してタイミングを補正する機能を有する内部クロック発生回路とを具備したことを特徴とするデータ高速転送同期システム。

【請求項 2】 前記内部クロック発生回路は、  
データ入力用の第 1 の内部クロックを発生する第 1 の内部クロック発生回路部と、  
データ出力用の第 2 の内部クロックを発生する第 2 の内部クロック発生回路部とを有している請求項 1 に記載のデータ高速転送同期システム。

【請求項 3】 前記第 1、第 2 の内部クロック発生回路部のそれぞれは、

前記クロックを受ける第 1 のバッファと、

上記第 1 のバッファの出力を受け、上記第 1 のバッファにおける遅延時間と同等の遅延時間を有し、第 1 のバッファの出力を遅延する第 1 の遅延回路と、

上記第 1 の遅延回路からの出力を受け、この第 1 の遅延回路からの出力を固定された一定時間遅延する第 2 の遅延回路と、

上記第 2 の遅延回路からの出力を受ける第 2 のバッファと、

多段縦続接続された複数の第 1 遅延ユニットを有し、上記第 2 のバッファの出力を受け、この第 2 のバッファの出力を前記クロックの周期に応じた期間中、上記複数の第 1 遅延ユニットに伝達して遅延する第 3 の遅延回路と、

多段縦続接続された複数の第 2 遅延ユニットを有し、上記第 3 の遅延回路で遅延される信号が供給され、この信号を上記第 2 のバッファの出力が伝達した上記第 1 遅延ユニットと同じ数の第 2 遅延ユニットに伝達して遅延する第 4 の遅延回路と、

上記第 4 の遅延回路からの出力を受け、この第 4 の遅延回路からの出力を制御信号に応じた時間だけ遅延して出力する可変遅延回路と、

上記第 2 のバッファにおける遅延時間と同等の遅延時間を有し、上記可変遅延回路からの出力を受けて前記内部クロックを発生する第 3 のバッファとを有していることを特徴とする請求項 2 に記載のデータ高速転送同期システム。

【請求項 4】 前記可変遅延回路は、

直列接続され、一端に前記第 4 の遅延回路の出力が供給される複数の単位遅延素子と、

上記複数の単位遅延素子の各直列接続ノードの信号を前

記制御信号に基づいて選択する複数のスイッチ回路とを含むことを特徴とする請求項 3 に記載のデータ高速転送同期システム。

【請求項 5】 前記制御信号は、前記メモリコントローラから与えられるコマンドに基づいて発生されることを特徴とする請求項 3 に記載のデータ高速転送同期システム。

【請求項 6】 前記内部クロック発生回路は、  
一定の遅延時間を有する複数の第 1 遅延ユニットが縦続接続され、前進パルスを伝達する前進パルス遅延回路と、

一定の遅延時間を有する複数の第 2 遅延ユニットが縦続接続され、後進パルスを伝達する後進パルス遅延回路と、

上記前進パルス遅延回路の第 1 遅延ユニットと上記後進パルス遅延回路の第 2 遅延ユニットとに対応して設けられ、リセット状態とセット状態とを有する複数の状態保持部とを具備し、

上記前進パルスが伝達した上記第 1 遅延ユニットに対応する上記状態保持部がセット状態にされ、セット状態の状態保持部に対応する後進パルス遅延回路の第 2 遅延ユニットは後段の第 2 遅延ユニットからの後進パルスをそれよりも前段の第 2 遅延ユニットに伝達し、

リセット状態の状態保持部に対応する後進パルス遅延回路の第 2 遅延ユニットは内部クロックを直接、前段の第 2 遅延ユニットに伝達し、

上記状態保持部は複数のグループに区分され、それぞれのグループに属する状態保持部を一つずつ順番に並べた状態保持部を上記第 1、第 2 遅延ユニットに順番に対応させて、各グループ毎に状態保持部をセットする外部クロックのサイクルを順次ずらして動作させるようにしたことを特徴とする請求項 1 に記載のデータ高速転送同期システム。

【請求項 7】 クロックを受け、このクロックに同期して動作する複数のメモリモジュールと、

上記クロックを発生し、上記複数のメモリモジュールとの間でデータの転送が行われるメモリコントローラと、  
上記複数のメモリモジュール内にそれぞれ設けられ、上記クロックからこのクロックに同期した内部クロックを発生する内部クロック発生回路とを具備し、

上記内部クロック発生回路は、

一定の遅延時間を有する複数の第 1 遅延ユニットが縦続接続され、前進パルスを伝達する前進パルス遅延回路と、

一定の遅延時間を有する複数の第 2 遅延ユニットが縦続接続され、後進パルスを伝達する後進パルス遅延回路と、

上記前進パルス遅延回路の第 1 遅延ユニットと上記後進パルス遅延回路の第 2 遅延ユニットとに対応して設けられ、リセット状態とセット状態とを有する複数の状態保

持部とを備え上記前進パルスが伝達した上記第1遅延ユニットに対応する上記状態保持部がセット状態にされ、セット状態の状態保持部に対応する後進パルス遅延回路の第2遅延ユニットは後段の第2遅延ユニットからの後進パルスをそれよりも前段の第2遅延ユニットに伝達し、

リセット状態の状態保持部に対応する後進パルス遅延回路の第2遅延ユニットは内部クロックを直接、前段の第2遅延ユニットに伝達し、

上記状態保持部は複数のグループに区分され、それぞれのグループに属する状態保持部を一つずつ順番に並べた状態保持部を上記第1、第2遅延ユニットに順番に対応させて、各グループ毎に状態保持部をセットする外部クロックのサイクルを順次ずらして動作させるように構成したことを特徴とするデータ高速転送同期システム。

【請求項8】 前記第1、第2遅延ユニットはそれぞれ第1及び第2のクロックドインバータとNORゲートとから構成され、

第1のクロックドインバータには他の遅延ユニットからの出力が入力として供給され、

第2のクロックドインバータには前記前進パルス遅延回路もしくは後進パルス遅延回路を構成する全ての遅延ユニットに共通の信号が入力として供給され、

上記NORゲートには上記第1及び第2のクロックドインバータの出力が入力として供給され、

上記第1のクロックドインバータはセット状態の前記状態保持部の出力でインバータとして動作し、

上記第2のクロックドインバータはリセット状態の前記状態保持部の出力でインバータとして動作することを特徴とする請求項6又は7に記載のデータ高速転送同期システム。

【請求項9】 前記状態保持部は、セット／リセット状態に応じた信号を出力する信号ノードと、

前記後進パルス遅延回路の第2遅延ユニットの出力によって導通制御され、上記信号ノードに電荷を供給する第1チャンネルのトランジスタと、

前記前進パルス遅延回路の第1遅延ユニットの出力によって導通制御され、上記信号ノードから電荷を引き抜く第2チャンネルのトランジスタとを有し、

上記第2チャンネルのトランジスタが導通状態にされたときに上記信号ノードにセット出力が得られ、上記第1チャンネルのトランジスタが導通状態にされたときに上記信号ノードにリセット出力が得られ、

上記第1、第2チャンネルのトランジスタは同時に導通状態とはならないように制御されることを請求項8に記載のデータ高速転送同期システム。

【請求項10】 前記状態保持部は2つのグループに区分され、各グループに属する状態保持部が交互に並べられ、対応する前記前進パルス遅延回路の第1遅延ユニッ

ト及び後進パルス遅延回路の第2遅延ユニットと対応させ、一方のグループに属する状態保持部内の前記第1、第2チャンネルのトランジスタの働きを全て無効にする前記クロックのサイクルと、他方のグループに属する状態保持部内の前記第1、第2チャンネルのトランジスタの働きを全て無効にする前記クロックのサイクルとが交互になるように制御されることを請求項9に記載のデータ高速転送同期システム。

【請求項11】 前記状態保持部は第1ないし第4からなる4つのグループに区分され、各グループに属する状態保持部が順番にかつ交互に並べられ、対応する前記前進パルス遅延回路の第1遅延ユニット及び後進パルス遅延回路の第2遅延ユニットと対応させ、第1のグループに属する状態保持部内の前記第1、第2チャンネルのトランジスタの働きを全て無効にする前記クロックのサイクルと、第2のグループに属する状態保持部内の前記第1、第2チャンネルのトランジスタの働きを全て無効にする前記クロックのサイクルと、第3のグループに属する状態保持部内の前記第1、第2チャンネルのトランジスタの働きを全て無効にする前記クロックのサイクルと、第4のグループに属する状態保持部内の前記第1、第2チャンネルのトランジスタの働きを全て無効にする前記クロックのサイクルとが順番にかつ交互になるように制御されることを請求項9に記載のデータ高速転送同期システム。

【請求項12】 クロックを受け、このクロックに同期して動作する複数のメモリモジュールと、上記クロックを発生し、上記複数のメモリモジュールとの間でデータの転送が行われるメモリコントローラと、上記複数のメモリモジュール内にそれぞれ設けられ、上記クロックからこのクロックに同期した内部クロックを発生し、かつこの内部クロックのタイミングにプログラム可能なずれを導入してタイミングを補正する機能を有する内部クロック発生回路とを具備し、上記内部クロック発生回路は、上記クロックを受ける第1のバッファと、上記第1のバッファの出力を受け、上記第1のバッファにおける遅延時間と同等の遅延時間を有し、第1のバッファの出力を遅延する第1の遅延回路と、上記第1の遅延回路からの出力を受け、この第1の遅延回路からの出力を固定された一定時間遅延する第2の遅延回路と、上記第2の遅延回路からの出力を受ける第2のバッファと、多段縦続接続された複数の第1遅延ユニットを有し、上記第2のバッファの出力を受け、この第2のバッファの出力を上記クロックの周期に応じた期間中、上記複数の第1遅延ユニットに伝達して遅延する第3の遅延回路と、多段縦続接続された複数の第2遅延ユニットを有し、上

記第 3 の遅延回路で遅延される信号が供給され、この信号を上記第 2 のバッファの出力が伝達した上記第 1 遅延ユニットと同じ数の第 2 遅延ユニットに伝達して遅延する第 4 の遅延回路と、

上記第 4 の遅延回路からの出力を受け、この第 4 の遅延回路からの出力を制御信号に応じた時間だけ遅延して出力する可変遅延回路と、

上記第 2 のバッファにおける遅延時間と同等の遅延時間を有し、上記可変遅延回路からの出力を受けて前記内部クロックを発生する第 3 のバッファとから構成されたデータ高速転送同期システムを有し、

上記複数のメモリモジュールに対して所定のデータパターンを格納させ、

予め各メモリモジュールに格納されているデータパターンを上記複数のメモリモジュールから読み出して上記メモリコントローラに転送させ、

上記メモリコントローラにおいて上記各メモリモジュールから転送されたデータパターンと元の所定のデータパターンとの一致比較を行い、上記両データパターンが一致するように上記制御信号を設定することを特徴とするデータ高速転送同期方法。

【請求項 1 3】 前記制御信号の設定は、前記メモリコントローラから前記複数の各メモリモジュールに与えられるコマンドに基づいて行われることを特徴とする請求項 1 2 に記載のデータ高速転送同期方法。

【請求項 1 4】 前記複数のメモリモジュールに対して所定のデータパターンを格納させる際に、前記メモリコントローラから上記データパターンを通常動作時の転送タイミングに比べて緩い転送タイミングで転送させ、前記複数のメモリモジュールで格納させるようにしたことを特徴とする請求項 1 2 に記載のデータ高速転送同期方法。

【請求項 1 5】 前記複数の各メモリモジュールに格納されているデータパターンを読み出して前記メモリコントローラに転送させる際に、各メモリモジュールから通常動作時の転送タイミングでバーストデータとして読み出させることを特徴とする請求項 1 2 に記載のデータ高速転送同期方法。

【請求項 1 6】 前記複数のメモリモジュールに対して所定のデータパターンを格納させる際に、前記メモリコントローラから上記データパターンを通常動作時の転送タイミングで転送させて前記複数のメモリモジュールで格納させ、

前記複数の各メモリモジュールに格納されているデータパターンを読み出して前記メモリコントローラに転送させる際は、各メモリモジュールから通常動作時の転送タイミングでバーストデータとして読み出させることを特徴とする請求項 1 2 に記載のデータ高速転送同期方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 この発明は複数のメモリモジュールとこれら複数のメモリモジュールを制御して複数のメモリモジュールとの間でデータの授受を行うメモリコントローラとが実装されたメモリボードシステムに係り、特にメモリコントローラとメモリモジュールとからなる環境が異なっている場合、クロックに同期したデータの高速度転送が確実に実行できるようにしたデータ高速転送同期システム及びデータ高速転送同期方法に関する。

【 0 0 0 2 】

【従来の技術】 情報処理装置の分野では M P U (マイクロプロセッサユニット) の性能が向上し、使用される I C メモリの容量も 2 5 6 M ビット、1 G ビットと飛躍的に増大している。このような状況において、複数の I C メモリが実装されたメモリモジュールと M P U との間で、大量のデータを如何に効率良く転送するかということが益々重要になってきている。

【 0 0 0 3 】 一般に複数のメモリモジュールはメモリコントローラと組み合わせられてメモリボードシステムが構成される。

【 0 0 0 4 】 図 3 8 は一般的なメモリボードシステムの概略的な構成を示している。クロックは、メモリコントローラ (以下、単にコントローラと称する) M E C 内に設けられたクロック発生器 C G によって作られる。クロック発生器 C G によって作られたクロックは、複数のメモリモジュール M M 1 ~ M M n の並びを T C L K として順次通過し、コントローラ M E C から最も離れたメモリモジュール M M n の位置で折り返し、さらに複数のメモリモジュールの並びを上記とは逆の方向に R C L K として順次通過し、コントローラ M E C まで伝達される。

【 0 0 0 5 】 一方、コントローラ M E C から出力されるコマンドは、コマンドバスを経由して上記複数のメモリモジュール M M 1 ~ M M n に伝えられる。各メモリモジュールは、クロック T C L K に同期して上記コマンドバスからコマンドを取り込み、クロック R C L K に同期してデータをデータバス上に出力する。データバスに出力された各メモリモジュールからの読み出しデータはコントローラ M E C に入力される。

【 0 0 0 6 】 各メモリモジュールに書き込むデータはコントローラからデータバス上に出力される。各メモリモジュールは、クロック T C L K に同期してデータバスからデータを取り込み、その後、データを書き込む。なお、メモリボードシステムには、上記クロック T C L K、R C L K を転送するクロックバス、コマンドバス及びデータバスの他にアドレスバスが設けられるが、図 3 8 のシステムではこのアドレスバスの図示は省略している。

【 0 0 0 7 】 ところで、各メモリモジュールはそれぞれ、上記クロック T C L K、R C L K に同期して内部クロックを発生し、この内部クロックに同期してデータの読み出し／書き込み動作を制御している。また、このよ

うな内部クロックを作る回路は、本発明者による特願平 9-100490号に係る出願でシンクロナス・アジャスタブル・デレイ (SAD: Synchronous Adjustable Delay) として提案されている。

【0008】

【発明が解決しようとする課題】図38に示すシステムで正常なデータ転送が行われるための条件は、クロックバス上を伝播するクロックTCLK、RCLKと、データバス上を伝播するデータとが常に同期していることである。しかし、この条件を完全に満足させることはむずかしい。まず、クロックを伝えるクロックバスと、データを伝えるデータバス及びコマンドを伝えるコマンドバスの物理的条件例えば、抵抗値やキャパシタンスなどの条件を完全に揃えることは困難である。

【0009】このため、例えばあるメモリモジュールがクロックRCLKに同期してデータをデータバス上に出し、コントローラにはクロックRCLKとデータとが僅かなずれを生じて到着する。このずれは当然、メモリモジュールが置かれている位置毎に異なる。クロックの周期がこのずれに対して大きい時はコントローラ側でデータウィンドウ、すなわちデータの取り込み期間を十分確保できるので、このずれは問題とならない。

【0010】しかし、クロック周期が小さくなってくると、このずれはクロックバスなどにおける抵抗値などの物理的条件で決まっているので、クロックバスやデータバスの物理的条件をできるだけ同じにして、このずれを小さくして、高速データ転送に対応するしかない。

【0011】ところが、このようにするとメモリシステムの自由度が失われる。以下、この点について図39を用いて説明する。

【0012】図39(a)はコントローラMECと3個のメモリモジュールMM1~MM3が実装されたメモリボードシステムの構成を示しており、図39(b)はコントローラMECと4個のメモリモジュールMM1~MM4が実装されたメモリボードシステムの構成を示している。クロックバスとデータバスに対するメモリモジュールの負荷条件は必ずしも同じではないので、この両システムのいずれか一方でクロックバスとデータバスの物理条件を一致させれば、他方ではこの一致条件から外れてしまうことがある。

【0013】そこで例えば図39(b)のシステムでバス条件を一致させたと仮定し、メモリモジュールMM3からコントローラMECへ信号が伝播する場合を考える。図40の(a)には、図39(a)及び(b)に記載したシステムにおけるメモリモジュールMM3でのクロックRCLKとデータのタイミングが示されている。また、図40の(b)には、図39(a)及び(b)に記載したシステムにおけるコントローラMECでのクロックRCLKとデータのタイミングが示されている。

【0014】図40に示すように、図39(b)のシス

テムでバス条件を一致させているので、図39(b)のシステムに対応するデータとコントローラMECの位置でクロックRCLKは同期している。これに対し、図39(a)のシステムに対応するデータはクロックRCLKに対してバス遅延時間が異なるので、図示のようにコントローラの位置で同期が取れなくなる。例えば太線で示したようにずれると、コントローラはクロックRCLKの立ち上がりのタイミングではもはやデータを取り込むことはできなくなる。

【0015】ここで、バスの特性のずれがどの程度タイミングに影響を与えるかを見積もっておく。理想的な場合で考えると、単位長さ(c m)当たりの容量CとインダクタンスLの信号線では、信号は単位長さを(C L)<sup>1/2</sup>の時間で伝わる。一般的なメモリボードシステムで、Cの値が5~7 p F、Lの値が15~20 n H位であるとすると、信号の単位長さ当たりの遅延時間は0.27~0.37 n Sとなる。従って、単位長さ当たりのばらつきは約0.1 n Sとなり、メモリモジュール全体の大きさを10 c mとすると、タイミングのばらつきは1 n Sになる。これは特定のコントローラとメモリモジュールからなるシステムでタイミングを最適化しても、他のシステムでは1 n S程度はずれしてしまうことを意味する。

【0016】ばらつきと同程度のデータウィンドウ、すなわちデータ取り込み期間が要求されているとすると、2 n Sの周期すなわち500 M H z位までが、バスの物理条件をきちんと揃えるという条件を厳しくせずとも、データ転送を行うことができる。なお、コマンドはクロックTCLKに対して毎サイクル入るのではなく、2サイクル毎などのようにデータよりタイミング規定が緩くできるので、データ程クロックとの同期性は必要とされない。

【0017】

【発明が解決しようとする課題】このように複数のメモリモジュールとメモリコントローラからなる従来のメモリボードシステムでは、データの転送速度を高速化するためにクロックの周期がより短くなってくると、メモリモジュールのバス上での位置やバスシステム的环境によっては正常な動作が期待できなくなるという問題がある。

【0018】この発明は上記のような事情を考慮してなされたものであり、その目的は、メモリモジュールとメモリコントローラとの間のバスの物理条件をそれ程厳しく制限しなくても、高速な同期型データ転送が実現できるデータ高速転送同期システム及びデータ高速転送同期方法を提供することにある。

【0019】

【課題を解決するための手段】この発明のデータ高速転送同期システムは、クロックを受け、このクロックに同期して動作する複数のメモリモジュールと、上記クロッ

クを発生し、上記複数のメモリモジュールとの間でデータの転送が行われるメモリコントローラと、上記複数のメモリモジュール内にそれぞれ設けられ、上記クロックからこのクロックに同期した内部クロックを発生し、かつこの内部クロックのタイミングをずらして補正する機能を有する内部クロック発生回路とを具備している。

【0020】この発明のデータ高速転送同期方法は、クロックを受け、このクロックに同期して動作する複数のメモリモジュールと、上記クロックを発生し、上記複数のメモリモジュールとの間でデータの転送が行われるメモリコントローラと、上記複数のメモリモジュール内にそれぞれ設けられ、上記クロックからこのクロックに同期した内部クロックを発生し、かつこの内部クロックのタイミングをずらして補正する機能を有する内部クロック発生回路とを具備し、上記内部クロック発生回路は、上記クロックを受ける第1のバッファと、上記第1のバッファの出力を受け、上記第1のバッファにおける遅延時間と同等の遅延時間を有し、第1のバッファの出力を遅延する第1の遅延回路と、上記第1の遅延回路からの出力を受け、この第1の遅延回路からの出力を固定された一定時間遅延する第2の遅延回路と、上記第2の遅延回路からの出力を受ける第2のバッファと、多段縦続接続された複数の第1遅延ユニットを有し、上記第2のバッファの出力を受け、この第2のバッファの出力を上記クロックの周期に応じた期間中、上記複数の第1遅延ユニットに伝達して遅延する第3の遅延回路と、多段縦続接続された複数の第2遅延ユニットを有し、上記第3の遅延回路で遅延される信号が供給され、この信号を上記第2のバッファの出力が伝達した上記第1遅延ユニットと同じ数の第2遅延ユニットに伝達して遅延する第4の遅延回路と、上記第4の遅延回路からの出力を受け、この第4の遅延回路からの出力を制御信号に応じた時間だけ遅延して出力する可変遅延回路と、上記第2のバッファにおける遅延時間と同等の遅延時間を有し、上記可変遅延回路からの出力を受けて前記内部クロックを発生する第3のバッファとから構成されたデータ高速転送同期システムを有し、上記複数のメモリモジュールに対して所定のデータパターンを格納させ、予め各メモリモジュールに格納されているデータパターンを上記複数のメモリモジュールから読み出して上記メモリコントローラに転送させ、上記メモリコントローラにおいて上記各メモリモジュールから転送されたデータパターンと元の所定のデータパターンとの一致比較を行い、上記両データパターンが一致するように上記制御信号を設定するようにしている。

【0021】

【発明の実施の形態】まず、この発明に係るデータ高速転送同期システム及びデータ高速転送同期方法の原理について説明する。

【0022】この発明では、先の図38に示す一般的な

メモリボードシステムにおいて、コントローラと複数のメモリモジュールとの間のバスの物理条件を厳しく制限しなくても、例えば500MHz以上のクロックでデータの同期型転送制御が可能な方式として、各メモリモジュール内で外部クロックに同期した内部クロックを発生させる。そして、この内部クロックに一定の遅延を付加もしくは差し引いて、データの入出力タイミングを調節する方式を採用する。このような方式を用いると、先の図40に示すようなメモリモジュールの個数の違いによるデータとクロックRCLKとのタイミングのずれによる影響を、メモリコントローラが受けないようにすることができる。

【0023】この発明の方式の原理をさらに詳しく説明する。

【0024】図1(a)は前記図38に示すものと同様に、コントローラMECと3個のメモリモジュールMM1~MM3が実装され、これらがクロックバス、データバス及びコマンドバスで接続されたメモリボードシステムの構成を示しており、図1(b)はこのメモリボードシステムにおける一部の信号を抽出したタイミングチャートを示している。

【0025】先の図40中に太線で示すように、コントローラに到着したデータがクロックRCLKに対して遅れるような場合には、図1に示すようにデータを送る側のメモリモジュール、例えばメモリモジュールMM3ではクロックRCLKよりも速いタイミング(図1(b)中のt1)でデータを出力する。また、先の図40中に実線で示すように、コントローラにデータが速いタイミングで到着する場合には、図1に示すようにデータを送る側のメモリモジュールではクロックRCLKよりも遅いタイミング(図1(b)中のt2)でデータを出力する。

【0026】このように、コントローラにデータが到着するタイミングに応じて、メモリモジュール側からデータを送るタイミングを調節することにより、コントローラには常にクロックRCLKに同期してデータが到着し、これによりメモリモジュールとコントローラとの間の高速データ転送を確実に行うことができる。

【0027】この発明ではこのようなタイミングの調節を各メモリモジュール毎に行うものであり、さらにこのようなタイミングの調節を先のSADを用いて行う。

【0028】ここで、先の出願(特願平9-100490号)に係る明細書及び図面に記載されているSADについて説明しておく。

【0029】図2は、SADを、このSADに対して信号の入出力を行う入出力バッファと共に示しており、図2(a)は回路を論理ゲートレベルで表現したものであり、図2(b)はシンボルで表現したものである。なお、図2(a)、(b)において対応する箇所には同じ符号を付して説明を行う。



【0030】図2に示したSADは、外部クロックRCLKから内部クロックintRCを発生する場合のものを例示しているが、他方の外部クロックTCLKから内部クロックintTCを発生するSADもこれと同様に構成されているので、その説明は省略する。

【0031】図2中、11は外部クロックRCLKが入力され、遅延D1を有する入力バッファである。また、12は上記入力バッファ11の出力信号Aを受けてその出力をSAD13に供給し、D(=D1+D2)の遅延を有する遅延回路である。14はSAD13の出力信号を受けて内部クロックintRCを発生し、D2の遅延を有する出力バッファである。なお、上記入力バッファ11の出力信号AはSAD13に信号Bとしても供給されている。

【0032】上記SAD13内には、直列接続された2個のインバータ15、16と、それぞれNANDゲート17及びこのNANDゲート17の出力が一方入力端に供給されるNORゲート18からなり、多段縦続接続された複数個の遅延ユニットDU1と、それぞれNANDゲート19及びこのNANDゲート19の出力が一方入力端に供給されるNORゲート20からなり、多段縦続接続され上記遅延ユニットDU1と同数の遅延ユニットDU2と、上記インバータ15の出力Cと前記入力バッファ11からの信号Bとが供給されるNANDゲート21と、このNANDゲート21の出力を反転して制御信号Sを出力するインバータ22と、上記インバータ22から出力される信号Sとタイミングを合わせるために、前記入力Bからの遅延が同等になるように遅延を行うパスゲート23と、上記一方の遅延ユニットDU1と他方の遅延ユニットDU2との間にそれぞれ挿入された各NORゲート24及びNANDゲート25とが設けられている。

【0033】ここで、多段縦続接続された複数個の一方の遅延ユニットDU1で前進パルス遅延回路(Forward Delay、以下FDと略称する)が構成され、同様に多段縦続接続された複数個の他方の遅延ユニットDU2で後進パルス遅延回路(Backward Delay、以下BDと略称する)が構成されている。

【0034】前記各NORゲート24及びNANDゲート25は、上記FDで遅延された信号を、信号Bの立ち上がりのタイミングでBDに伝達する制御を行うものであり、各NORゲート24には前記制御信号S及び対応する一方の遅延ユニットDU1内のNANDゲート17の出力が供給され、その出力は対応する他方の遅延ユニットDU2内のNORゲート20に供給される。前記各NANDゲート25には制御信号S及び対応する一方の遅延ユニットDU1内のNORゲート18の出力が供給され、その出力は対応する他方の遅延ユニットDU2内のNANDゲート19に供給されている。

【0035】次に図2に示したSADの動作を簡単に説

明する。外部クロックRCLKが立ち上がると、この正パルスが遅延回路12において遅延量D(=D1+D2)だけ遅延される。その後、正パルスはSAD13に入力され、FDのNANDゲート17とNORゲート18を交互に伝播して行く。

【0036】他方、SAD13には、FDを伝播するパルスを後進パルス遅延回路BDに負のパルスとして転送するタイミングを設定するための信号Bが入力される。そして、信号Aと信号Bのパルスの立ち上がり相互間に相当する遅延量Δが、FDを進行する正パルスの立ち上がり位置(NORゲート18の出力の立ち上がり位置またはNANDゲート17の出力の立ち下がり位置)として検出され、BDに負パルスの立ち上がり位置として移動される。このパルスを移動させる際の移動用ゲートとなるのがFDとBDとの間に設けられているNORゲート24とNANDゲート25である。信号Aと信号Bとは同じものなので、前サイクルにFDに入ったパルスを先ずBDに移し、遅延量D(=D1+D2)を経てFDに入るパルスにはBDへの移動が生じないように、信号Bから信号Sへの経路に信号AからのパルスとのNANDゲート21が挿入されており、信号Sの出力が禁止されるようになっている。

【0037】このような構成のSADでは、外部クロックRCLKの周期Tに応じて遅延量Δが変化し、外部クロックRCLKの一発目と二発目で遅延量Δが決定され、二発目以降からこの遅延量Δを使って内部クロックintRCが作られる。従って、内部クロックintRCは三発目のRCLKから位相が一致するようになる。

【0038】ここで外部クロックRCLKの周期をTとすれば、D+Δ=Tであるから、RCLK入力からT後に内部クロックintRCが出力され、これが外部クロックRCLKに同期することになる。

【0039】このようなSADを各メモリモジュール毎に設けることにより、そのメモリモジュールが受ける外部クロックRCLKに同期したタイミングを作ることができる。

【0040】なお、FDで遅延されるパルスは各NANDゲート17、NORゲート18のどこからでもBD側に移ることができるので、得られる内部クロックintRCのタイミングの精度は論理ゲート1個分になる。

【0041】このようにして図2に示す回路では、内部クロックintRCを外部クロックRCLKに対して位相差ゼロで同期して発生することができる。

【0042】図3は、上記とは異なるSADの構成を、このSADに対して信号の入出力を行う入出力バッファと共に示すブロック図である。なお、このSADでも、外部クロックRCLKから内部クロックintRCを発生する場合のものを例示しているが、他方の外部クロックTCLKから内部クロックintTCを発生するSADもこれと同様に構成されているので、その説明は省略



する。

【0043】外部クロックRCLKは、遅延量D1を有する入力バッファ31に入力される。この入力バッファ31は、外部クロックRCLKに対してD1のスキュー（遅延量）を有するクロックCLKを出力する。このクロックCLKは、遅延量D（ $=D1+D2$ ）を有する遅延回路32に入力され、この遅延回路32は前進パルスFCL1を出力する。

【0044】上記クロックCLK及びこのクロックCLKをインバータ33により反転したクロック／CLKは、それぞれn個の遅延回路34-1～34-nに10 入力される。これらn個の遅延回路34-1～34-nは多段に縦続接続されており、初段の遅延回路34-1には前進パルスFCL1が入力され、この遅延回路34-1から後進パルスRCL1が出力される。初段の遅延回路34-1から出力される後進パルスRCL1は、遅延量D2を有する出力バッファ35を経由することにより、内部クロックintRCとして出力される。

【0045】なお、上記各遅延回路34-i（ $i=1\sim n$ ）の動作は、上記クロックCLK、／CLKが11 入力される制御パルス発生回路36から出力される制御パルスP、／Pに基づいて制御される。

【0046】図4は、上記図3に示したSADにおける各遅延回路34-iの詳細な構成を示している。各遅延回路34-iは、FD、BD及び状態保持回路（Sample Hold、以下SHと略称する）の3つの部分から構成されている。

【0047】FDは、2個のクロックドインバータ41、42と1個のインバータ43とから構成された遅延ユニットを有する。一方のクロックドインバータ41には前段の遅延回路34からの前進パルスFCLiが入力され、他方のクロックドインバータ42には接地電位（“L”）が入力される。上記一方のクロックドインバータ41は、制御パルス／Pが“H”のときに動作し、入力される前進パルスFCLiを反転して出力する。また、上記他方のクロックドインバータ42は、制御パルスPが“H”のときに動作し、入力されている“L”の信号電位を反転して“H”の信号電位出力する。上記両クロックドインバータ41、42の出力ノードは共通に接続されており、この共通接続ノードに上記インバータ43の入力ノードが接続されている。そして、このインバータ43の出力信号が後段の遅延回路34にFCLi+1として出力される。

【0048】BDは、2個のクロックドインバータ44、45と1個のインバータ46とから構成された遅延ユニットを有する。一方のクロックドインバータ44には後段遅延回路34の後進パルスRCLi+1もしくはクロックCLKが入力され、他方のクロックドインバータ45にはクロックCLKが入力される。上記一方のクロックドインバータ44は、SHから出力される制御パ12

スQが“H”のときに動作し、入力される後進パルスRCLi+1もしくはクロックCLKを反転して出力する。また、上記他方のクロックドインバータ45は、SHから出力される制御パルス／Qが“H”のときに動作し、入力されるクロックCLKを反転して出力する。上記両クロックドインバータ44、45の出力ノードは共通に接続されており、この共通接続ノードには上記インバータ46の入力ノードが接続されている。そして、このインバータ46の出力信号が前段の遅延回路34にRCLiとして出力される。

【0049】SHは、状態保持部47と2個のNANDゲート48、49とから構成されている。上記一方のNANDゲート48には、前段の遅延回路34からの前進パルスFCLiと反転クロック／CLKとが入力され、上記他方のNANDゲート49には、対応する段のインバータ46の出力である前段への後進パルスRCLiとクロックCLKとが入力される。

【0050】上記NANDゲート48の出力は状態保持部47にセット信号／Sとして入力され、上記NANDゲート49の出力は状態保持部47にリセット信号／Rとして入力される。

【0051】状態保持部47は、セット／リセット状態に対応して上記制御パルスQ、／Qを発生する。ちなみに、制御パルスQは状態保持部47がセット状態のときに“H”となり、制御パルス／Qは状態保持部47がリセット状態のときに“H”となる。なお、この状態保持部47の詳細な構成については後に詳述する。

【0052】次に、図3に示したような構成のSADの動作について、図5のタイミングチャートを参照して説明する。まず、クロックCLKの1つ目のパルスが発生した時点（クロックCLKが立ち上がった時点）から時間D（ $=D1+D2$ ）が経過した後に前進パルスFCL1が発生する。また、この前進パルスFCL1が発生した時点から、クロックCLKの2つ目のパルスが発生する時点までの時間は $\Delta f$ となる。

【0053】また、この時間 $\Delta f$ をコピーして $\Delta b$ を作り、パルスFCL1が発生した時点から、時間 $2 * \Delta$ （ただし、 $\Delta f = \Delta b = \Delta$ ）が経過した時点でパルスRCL1が発生する。すると、パルスRCL1が発生した時点から遅延量Dが経過した時点は、クロックCLKの3つ目のパルスが立ち上がる時点と一致する。ただし、 $(A+W) < T$ とする。なお、WはパルスFCL1、パルスRCL1それぞれのパルス幅である。

【0054】パルスRCL1が発生した時点から外部クロックRCLKの3つ目のパルスが発生する時点までの時間をD2とすると、パルスFCL1を $D+2 * \Delta+D2$ だけ遅らせれば、外部クロックRCLKのタイミングに一致した内部クロックintRCが得られることになる。

【0055】なお、 $D=D1+D2$ という関係が成立す

るため、遅延量D 2は、D及びD 1から求めることができる。また、制御パルスP、／Pは、パルスFCLiが初段の遅延回路に入力される前に、全ての遅延回路のBDを初期化しておくため、つまり、クロックドインバータ42を動作させてインバータ43の入力ノードの信号を“H”に設定するために使用されるものである。

【0056】この発明によるデータ高速転送同期システム及びデータ高速転送同期方法では、各メモリモジュール内で外部クロックに同期した内部クロックを発生させ、この内部クロックを用いてデータの入出力を行う際に、内部クロックに一定の遅延を付加もしくは差し引いて、データの入出力タイミングを調節するために、SADとして図6に示すような構成のものが使用される。

【0057】なお、この図6に示したSADは、図2に示したSADに対してデータの入出力タイミングを調節する機能を付加したものであるが、図3に示したSADに対してデータの入出力タイミングを調節する機能を付加して使用するようにしてもよい。また、図6のSADでは、外部クロックRCLKから内部クロックintRCを発生する場合のものを例示しているが、他方の外部クロックTCLKから内部クロックintTCを発生するSADもこれと同様に構成されているので、その説明は省略する。

【0058】図6に示したこの発明の第1の実施の形態のシステムで使用されるSADが先の図2のものと異なるところは、内部クロックのタイミングを調節するために、図2中の遅延D(=D1+D2)を有する遅延回路12に変えて、新たな遅延回路26が設けられている点と、図2中の出力バッファ14に変えて遅延回路27が設けられている点の2点である。その他の構成は図2のものと同様なので、以下、図2と異なる点についてののみ説明する。

【0059】上記遅延回路26は、遅延D1を有するバッファ51と、このバッファ51の出力が供給され、このバッファ51の出力を固定された一定時間d0だけ遅延して第1の遅延出力を得ると共にこの固定された遅延時間d0と同等の時間d0だけバッファ51の出力を遅延して第2の遅延出力を得る可変遅延部52と、この可変遅延部52で得られる第2の遅延出力を受け遅延D2を有するバッファ53と、上記可変遅延部52で得られる第1の遅延出力を受け遅延D2を有するバッファ54とから構成されている。そして、上記バッファ53の出力がSAD13のFDに供給される。

【0060】上記遅延回路27は、上記SAD13の出力を固定された一定時間d0だけ遅延して第1の遅延出力を得ると共にこの固定された遅延時間d0に対し、外部からの制御により遅延時間がd0に対してdだけ増減される第2の遅延出力を得る可変遅延部55と、この可変遅延部55で得られる第2の遅延出力を受け遅延D2を有するバッファ56と、上記可変遅延部55で得られ

る第1の遅延出力を受け遅延D2を有するバッファ57とから構成されている。そして、上記バッファ56、57の出力が、外部クロックRCLKに同期した内部クロックintRC'、intRCとして出力される。

【0061】なお、遅延回路26に設けられている可変遅延部52は、第1の遅延出力と第2の遅延出力の遅延時間が共に固定された一定時間d0なので、特に遅延時間を可変させるような構成とする必要はないが、遅延回路27にも可変遅延部55が設けられており、この可変遅延部55と同等の回路条件を持たせるために可変遅延部52が用いられている。これと同じ理由により、遅延回路26に設けられているバッファ54は、その出力が他の回路部に供給されないので、このバッファ54を省略することも可能である。しかし、内部クロックintRCを得るために可変遅延部55にバッファ56を接続しており、可変遅延部55に対する負荷条件と同じ負荷条件を持たせるために、可変遅延部52にもバッファ54を接続している。

【0062】このような構成のSADの基本的な動作は図2に示したものと同様であり、 $T=D+\Delta=D1+d0+D2$ であるから、外部クロックRCLKから内部クロックintRC'までの経路では $D1+\Delta+d0\pm d+D2=T\pm d$ となっており、外部クロックRCLKに対してdだけずれたタイミングを持つ内部クロックintRC'を発生することができる。なお、バッファ57から出力される内部クロックintRCは、遅延時間がd0のバスを経て出力されるので、外部クロックRCLKと位相が一致したものとなる。

【0063】上記可変遅延部52、55は、外部からの制御によって遅延時間が可変できるものであるが、その具体的な回路構成を図7に示す。

【0064】この回路は、単位遅延素子61をn段直列に接続し、これらの各直列接続点から信号を取り出すようにしている。信号の取り出しには複数のスイッチ回路62が用いられる。このスイッチ回路62には、固定された一定時間d0だけ遅延された先の第1の遅延出力を得るための1個のスイッチ回路62-1と、遅延時間がd0に対してdだけ増減される先の第2の遅延出力を得るための複数のスイッチ回路62-2とからなる。これらのスイッチ回路62-1、62-2はそれぞれ、図8に示すように、電源電位と接地電位との間に直列に接続されたそれぞれ2個のPチャネルMOSトランジスタ63、64及びNチャネルMOSトランジスタ65、66とからなり、トランジスタ64と65のゲートに上記単位遅延素子61の対応する直列接続点の信号が供給され、トランジスタ63のゲートに制御信号／Tapi

( $i=0\sim n$ )が供給され、トランジスタ66のゲートに制御信号Tapiが供給されるCMOS型のクロックドインバータ67と、PチャネルMOSトランジスタ68とNチャネルMOSトランジスタ69とからなり、上

記クロックドインバータ 67 の出力を反転して出力する CMOS 型のインバータ 70 とから構成されている。

【0065】上記第 1 の遅延出力を得るためのスイッチ回路 62-1 は、全体の最大遅延量のほぼ中間の遅延量  $d_0$  が得られる単位遅延素子 61 の直列接続点に接続されており、このスイッチ回路 62-1 には制御信号  $\neg T_{api}$  に相当する信号として “L” が、制御信号  $T_{api}$  に相当する信号として “H” が常時供給されている。従って、このスイッチ回路 62-1 は常時動作し、このスイッチ回路 62-1 が接続されている単位遅延素子 61 の信号が常時選択される。そして、 $n$  段直列接続された単位遅延素子 61 の一端側に入力される信号  $i_n$  からこのスイッチ回路 62-1 の出力ノード (fixed out) までの遅延時間が、図 6 中の  $d_0$  に相当している。

【0066】また、上記第 2 の遅延出力を得るための複数のスイッチ回路 62-2 のうちのただ一つに、制御信号  $\neg T_{api}$  として “L” が、制御信号  $T_{api}$  として “H” が供給され、この制御信号が供給されたスイッチ回路 62-2 が接続されている単位遅延素子 61 の直列接続点の信号が選択され、第 2 の遅延出力 (out) として出力される。そして、入力  $i_n$  からこのただ一つのスイッチ回路 62-2 の出力ノードまでの遅延時間が、図 6 中の  $d_0 \pm d$  に相当している。

【0067】上記のように複数のスイッチ回路 62-2 は、制御信号  $\neg T_{api}$ 、 $T_{api}$  に基づいていずれかが動作し、単位遅延素子 61 で遅延された信号を選択する。

【0068】図 9 は、上記複数のスイッチ回路 62-2 の制御に使用される制御信号  $\neg T_{api}$ 、 $T_{api}$  を発生する制御信号発生回路の構成を示している。

【0069】図 9 に示される回路では、それぞれが 2 個のレジスタを含む回路ユニット 71 を複数個並べ、各回路ユニット 71 からそれぞれ連続する 2 つの制御信号  $T_{api}$  ( $\neg T_{api}$  については図示を省略している) を出力させている。これら複数の回路ユニット 71 に対し、2 種類の同期信号  $\Phi 1$ 、 $\Phi 2$  と右シフト信号  $R_{sft}$  及び左シフト信号  $L_{sft}$  が供給される。

【0070】複数の回路ユニット 71 の下部に記載した “1” や “0” は、各回路ユニット 71 に設けられているそれぞれ 2 個のレジスタの記憶状態を示しており、“1” と “0” の境目の位置に対応した制御信号  $T_{api}$  のみが “H” にされる。例えば、図 9 では左から 4 番目の回路ユニット 71 内の 2 個のレジスタの記憶状態が “1” と “0” なので、その境目の位置に対応した制御信号  $T_{api}$  が “H” にされている。

【0071】また、初期状態では、図 7 中の “m” の位置のスイッチ回路 62-2 に供給される制御信号  $T_{api}$  が “H” となるように、各回路ユニット 71 内のそれぞれ 2 個のレジスタがセットされる。セット後は各レジ

スタの “1”、“0” の状態が、先の同期信号  $\Phi 1$ 、 $\Phi 2$  と右シフト信号  $R_{sft}$  もしくは左シフト信号  $L_{sft}$  に基づいてレジスタ 1 個分ずつ左右に移動する。

【0072】上記同期信号  $\Phi 1$ 、 $\Phi 2$  は交互に立ち上がるパルスであり、右シフト信号  $R_{sft}$  及び左シフト信号  $L_{sft}$  はこれらの信号が “H” のときに同期信号  $\Phi 1$  または  $\Phi 2$  に従ってレジスタの “1” または “0” の状態をそれぞれ右もしくは左方向に一つのレジスタ分移動させる信号である。

【0073】図 10 は、図 9 における 1 個の回路ユニット 71 の詳細な回路構成を示している。図において、72、73 はそれぞれ 2 個のインバータの入出力端間を逆並列接続して構成されたレジスタであり、一方のレジスタ 72 の出力を  $i$ 、 $i$ 、他方のレジスタ 73 の出力を  $i+1$ 、 $i+1$  とすると、一方のレジスタ 72 の出力  $i$  と接地電位との間には 3 個の N チャネル MOS トランジスタ 74~76 が直列に接続され、一方のレジスタ 72 の出力  $i$  と接地電位との間には 3 個の N チャネル MOS トランジスタ 77~79 が直列に接続され、他方のレジスタ 73 の出力  $i+1$  と接地電位との間には 3 個の N チャネル MOS トランジスタ 80~82 が直列に接続され、他方のレジスタ 73 の出力  $i+1$  と接地電位との間には 3 個の N チャネル MOS トランジスタ 83~85 が直列に接続されている。

【0074】上記トランジスタ 74~76 のゲートには、隣接する前段の回路ユニット 71 内のレジスタ 73 の出力  $i-1$ 、同期信号  $\Phi 1$  及び右シフト信号  $R_{sft}$  がそれぞれ供給される。上記トランジスタ 77~79 のゲートには、同じ回路ユニット 71 内のレジスタ 73 の出力  $i+1$ 、同期信号  $\Phi 2$  及び左シフト信号  $L_{sft}$  がそれぞれ供給される。上記トランジスタ 80~82 のゲートには、同じ回路ユニット 71 内のレジスタ 72 の出力  $i$ 、同期信号  $\Phi 2$  及び右シフト信号  $R_{sft}$  がそれぞれ供給される。同様に、上記トランジスタ 83~85 のゲートには、隣接する後段の回路ユニット 71 内のレジスタ 72 の出力  $i+2$ 、同期信号  $\Phi 1$  及び左シフト信号  $L_{sft}$  がそれぞれ供給される。

【0075】そして、上記レジスタ 72 の出力  $i$  とレジスタ 73 の出力  $i+1$  とが NAND ゲート 86 に供給され、この NAND ゲート 86 から先の制御信号  $\neg T_{api}$  が出力される。さらにこの制御信号  $\neg T_{api}$  がインバータ 87 に供給され、このインバータ 87 から先の制御信号  $T_{api}$  が出力される。

【0076】なお、この図 10 に示した回路ユニット 71 に隣接する前段の回路ユニット 71 では、レジスタ 72 の出力  $i$  とその回路ユニット 71 内のレジスタ 73 の出力  $i-1$  とを用いて制御信号  $T_{api-1}$ 、 $\neg T_{api-1}$  が生成され、この図 10 に示した回路ユニット 71 に隣接する後段の回路ユニット 71 では、レジスタ

73の出力 $i+1$ とその回路ユニット71内のレジスタ72の出力 $i+2$ を用いて制御信号 $Tapi+1$ 、 $Tapi+1$ が生成される。

【0077】次に図10に示す回路ユニット71の動作を説明する。いま、レジスタ出力 $i$ までが“1”で、レジスタ出力 $i+1$ が“0”であると仮定する。このとき、NANDゲート86の入力は両方とも“1”なので、その出力である制御信号 $Tapi$ は“0”、インバータ87の出力である制御信号 $Tapi$ は“1”となる。このとき、その他の制御信号 $Tap$ は“0”である。同期信号 $\Phi 1$ 、 $\Phi 2$ は交互に立ち上がり、いま $i$ が「“1”」と「“0”」の境目なので、図10の回路において最後に立ち上がった同期信号は $\Phi 1$ である。次に $\Phi 2$ が立ち上がるときに右シフト信号 $Rsf$ を“H”にすると、トランジスタ81、82が共にオンする。そして、これらのトランジスタ81、82に対して直列接続されているトランジスタ80がレジスタ72の出力 $i$ （“1”）に応じてオン状態にされ、レジスタ73の出力 $i+1$ がこれら3個のトランジスタ80～82を介して接地電位により“0”に設定される。これにより、レジスタ73の出力 $i+1$ が“1”に反転し、

「“1”」の状態が右方向にシフトされたことになる。  
【0078】上記とは逆に、 $\Phi 2$ が立ち上がるときに左シフト信号 $Lsf$ を“H”にすると、トランジスタ78、79が共にオンする。そして、これらのトランジスタ78、79に対して直列接続されているトランジスタ77がレジスタ73の出力 $i+1$ （“1”）に応じてオン状態にされ、レジスタ72の出力 $i$ がこれら3個のトランジスタ77～79を介して接地電位により“0”に設定される。これにより、レジスタ72の出力 $i$ が

“0”に反転し、「“0”」の状態が左方向にシフトされたことになる。  
【0079】シフト後は同期信号 $\Phi 1$ 、 $\Phi 2$ を止めるか、右シフト信号 $Rsf$ や左シフト信号 $Lsf$ を入力しなければ、各レジスタの記憶状態がそのまま保持されるので、設定された制御信号 $Tapi$ がそのまま維持される。これにより、先の図4の回路で設定された可変の遅延時間が固定され、そのまま保持される。

【0080】図11は上記実施の形態に係るシステムで使用される1個のメモリモジュールの内部構成を示すブロック図である。なお、ここでは、メモリセルアレイなどのコア部やその周辺回路などは図示を省略した。

【0081】SAD91は、クロックバス上を伝達される外部クロック $TCLK$ を受けて内部クロック $intTC'$ を出力する。同様に、SAD92は、クロックバス上を伝達される外部クロック $RCLK$ を受けて内部クロック $intRC'$ を出力する。コマンドデコーダ93は、外部クロック $TCLK$ 及びコマンドバスを伝達されるコマンドを受け、このコマンドをデコードして、上記両SAD91、92の動作を制御する制御回路94、9

5にそのデコード出力を供給する。

【0082】上記両制御回路94、95は、上記各SAD91、92におけるタイミング調整動作を含む動作を制御するものであり、先の図9に示す制御信号発生回路などを含んでいる。

【0083】データ入力制御回路96は、メモリコントローラから対応するメモリモジュールに対してデータの書き込みを行う際に、上記SAD91から出力される内部クロック $intTC'$ に基づいてデータストロブ信号を作り、このデータストロブ信号に同期してデータバス上のデータを取り込み、図示しないメモリ回路に供給する。データ出力制御回路97は、対応するメモリモジュールからデータを読み出してメモリコントローラに転送する際に、上記SAD92から出力される内部クロック $intRC'$ に同期して図示しないメモリ回路からのデータをデータバス上に出力する。

【0084】このような構成のメモリモジュールによれば、SAD91、92それぞれで、外部クロック $TCLK$ 、 $RCLK$ から内部クロック $intTC'$ 、 $intRC'$ を発生する際に、個々のSADで内部クロック $intTC'$ 、 $intRC'$ のタイミング調整を図ることができるので、環境の差などによる転送データのタイミングのずれを、メモリコントローラ側で見えないようにすることができ、高速な同期型データ転送を実現することができる。

【0085】次に、図7に示した可変遅延部において遅延量をどのようにして設定するかについて説明する。これは先の図38に示したシステムにおいて、通常の動作周波数よりも低い周波数のクロック $CLK$ （ $TCLK$ 及び $RCLK$ に相当）に同期して所定のバーストデータを転送し、メモリモジュールなりコントローラなりに格納させることなどにより行われる。

【0086】図12は、上記クロック $CLK$ に同期して例えば「1001」という4ビットのバーストデータを転送し、これを格納する場合の動作を示すタイミングチャートである。

【0087】クロックに同期してデータを出力するのがコントローラなら、データはメモリモジュールのデータバス上の位置には無関係にクロック $CLK$ に同期して一定のタイミングで出力される。このとき、データを取り込むのはメモリモジュールであり、メモリモジュールはクロック $CLK$ に同期したタイミングに基づいて作られる内部クロックからデータストロブ信号を作り、このデータストロブ信号に基づいてデータバス上のデータを取り込む。

【0088】他方、クロックに同期してデータを出力するのがメモリモジュールなら、データを取り込む側はコントローラであり、コントローラはクロック $CLK$ に同期した内部信号から作られるストロブ信号を用いて、メモリモジュールのデータバス上の位置に関係なく、デ

ータを一定のタイミングで取り込む。

【0089】図12では、データストロブのタイミングが上向きの矢印の位置で示されている。クロックCLKとデータとの位相ずれがなければ、「1001」の波形で示したように正しくデータが取り込まれる。

【0090】クロックCLKに対してデータの位相が遅れると、取り込まれるデータは「X100」の波形のようになり、読み込まれたデータは「X100」となる。なお、「X」は不定を意味する。このとき、可変遅延量の設定は、データ読み込みに対しては、クロックCLKに同期した内部クロックからデータストロブのタイミングを遅らせるように、先の制御信号Tapiの設定をコントローラ側からコマンドで行い、正しく「1001」とデータが読み込めるようにする。

【0091】制御信号Tapiの設定はコマンドによって、先の同期信号Φ1、Φ2及び右/左シフト信号Rsf t / L s f t の出力動作を制御すればよい。

【0092】データ出力に対しては、クロックCLKよりさらに位相を進めてデータを出力する必要がある、クロックCLKに同期した内部クロックからデータ出力のタイミングを早めるように制御信号Tapiの設定をコントローラ側からコマンドで行い、メモリコントローラが正しく「1001」と読み込めるようにする。

【0093】クロックCLKに対してデータの位相が進んでいると、取り込まれるデータは「001X」の波形のようになり、読み込まれたデータは「001X」となる。このとき、メモリモジュールにおける可変遅延量の設定は、データ読み込みに対しては、クロックCLKに同期した内部クロックからデータストロブのタイミングを進めるように、先の制御信号Tapiの設定をコントローラ側からコマンドで行い、正しく「1001」と読み込めるようにする。

【0094】データ出力に対しては、クロックCLKよりさらに位相を遅らせてデータを出力する必要がある、クロックCLKに同期した内部クロックからデータ出力のタイミングを遅らせるように制御信号Tapiの設定をコントローラ側からコマンドで行い、コントローラが正しく「1001」と読み込めるようにする。

【0095】次に、コントローラと各メモリモジュールとの間での、システムとしての上記遅延量の設定の手順について説明する。

【0096】コントローラからメモリモジュールが最初にアクセスされたときには可変遅延量は設定されていないので、データの転送タイミングは最適化されておらず、正しいデータの読み書きは保証されない。そこで、先の制御信号Tapiの設定の手順が重要になる。

【0097】先の「1001」からなる4ビットのデータパターンを用いれば、制御信号Tapiをどのようにしてシフトするかの情報が得られることは先に説明した通りであるが、この手順をまとめると以下のようにな

る。

【0098】(1)「1001」のようなデータパターンをメモリモジュールにデータとしてセットする。この場合、メモリモジュールに対し、通常の動作時に比べてゆっくりとしたタイミングでデータを与えて、1ビットずつデータを入力する。なお、予めメモリモジュール内に上記データパターンを固定データとして持たせるようにしてもよい。

【0099】(2)メモリモジュールのデータ出力タイミングを調節する。メモリモジュールが、上記データパターンをコントローラからのコマンドで正規のクロックに基づいてバーストデータとして出力する。また、コントローラはバーストデータを読み込み、設定したデータパターンが得られる最適な位置に、コマンドによりメモリモジュールの制御信号Tapiをずらして設定する。

【0100】以上のような手順を全てのメモリモジュールについて行う。これにより、メモリモジュールのデータバス上の位置毎のタイミングの調節が完了し、どのメモリモジュールからのデータもコントローラはクロックから一定のタイミングのストロブで正しく読み込めるようになる。

【0101】(3)メモリモジュールにおけるデータ読み込みタイミングの調節は以下のように行われる。まず、コントローラはメモリモジュールが読み込むデータパターンをバーストデータとして正規のタイミング（通常動作時のタイミング）でメモリモジュールに出力する。次に、メモリモジュールはこれを読み込み、読み込んだデータをコントローラからのコマンドで出力する。コントローラはメモリモジュールから読み出されたデータを読み込み（既に手順2で、出力についてはタイミング調整が完了している）、出力したデータと比較する。コントローラは、コマンドにより、データパターンが一致する最適な位置にメモリモジュールのデータ取り込みタイミングの制御信号Tapiをずらして設定する。

【0102】以上のような手順をデータバス上の全てのメモリモジュールに対して行い、この後、コントローラがクロックCLKに同期してデータを出力すれば、どのメモリモジュールでも正しくデータを読み込むことができる。

【0103】これにより、メモリモジュールにおける可変遅延の設定が終わり、コントローラはメモリモジュールのバス上の位置やバスシステム的环境による違いを気にすることなく、一定のタイミングでデータの転送を行うことができる。

【0104】次にこの発明の第2の実施の形態について図13を参照して説明する。

【0105】図13はこの発明の第2の実施の形態に係るメモリボードシステムの概略的なブロック構成を示す。コントローラMECがクロックCLK（CLK、RCLK）を出力し、このクロックを複数のメモリモジ

ジュールMM (図では1個のみ示している) が受け取り、このクロックのタイミングでコマンドやデータをメモリモジュールMMが受け、ループバックして戻っていくクロックに同期してメモリモジュールMMがコントローラMECにデータを出力するシステムにおいて、コントローラMECはクロックCLKとして先のクロックTCLK、RCLKと共に、これらクロックTCLK、RCLKの2倍の周期を持つクロックTSIGN、RSIGNを同時に出力する。

【0106】そして、メモリモジュールMMのデータバス上での位置に応じたデータ転送時間の差を、2倍周期のクロックTSIGN、RSIGNを使い、クロックTCLK、RCLKの偶数番目と奇数番目を識別することによって変えて、データバスを有効に利用するようにしている。なお、あるクロックとそのクロックに対して2倍の周期を持つクロックを用いることによって、データバスを有効に利用するようにしたシステムの基本については、本発明者による特願平10-8297号の出願で詳しく説明されている。

【0107】上記クロックTCLK、RCLK及びクロックTSIGN、RSIGNの位相関係を図14のタイミングチャートに示す。図示のように、例えば上向きの矢印のサイクルがクロックの折り返し点前と後の対応するサイクルとなる。2倍周期のクロックを用いているので、メモリモジュールなりコントローラが受け取るクロックTCLK、RCLKを偶数クロックと奇数クロックに分けることが出来る。以後、偶数クロックに関係したのものには「e」、奇数クロックに関係したのものには「o」、またクロックTCLK、RCLKの立ち上がり

に同期したものには「u」、立ち上がり周期に180度位相がずれたタイミングに同期したものには「d」という添え字を付けて表すことにする。

【0108】このような構成のシステムにおいて、TCLKとRCLKの位相が360度\*2までの任意の値ずれた場合に、その中間のタイミングMを設定することにより、どのように対応するTCLKとRCLKとを関連付けてデータバス上の位置の異なるメモリモジュールが、データバス上でデータの衝突を起こさずにかつデータ転送のギャップが無くデータの転送を行うことができるかを説明する。また、中間のタイミングMを作る具体的な方法については後に詳述する。

【0109】図15にクロックバス上の異なる二つの場所でのTCLKとRCLKの位相関係を示す。TCLKのタイミングtAが折り返し点で戻り、RCLKのタイミングtBとなる。折り返し点に近い場所と遠い場所でそれぞれの場所のTCLKを基準にしてみれば、タイミングtAとtMとtBの関係は図12に示したようになる。

【0110】コントローラMECからのクロックはTCLK、コントローラMECへのクロックはRCLKであ

るから、メモリモジュールMMはタイミングtAで受けたコマンドに対してタイミングtBを起点にしてデータをRCLKに同期してデータバスに乗せてやればデータのバス上での衝突は起きないし、コントローラMECが受け取るデータに空きサイクルが生じることもない。

【0111】各メモリモジュールMMはタイミングtAでコマンドを受けてタイミングtBから一定のサイクルの後所謂レイテンシーの後にデータをデータバスに出力するが、一連のデータを出し終わり新たなデータ出力サイクルを始める際、そのレイテンシーのRCLKでの数え方の手順は以下の通りである。

【0112】(1) TCLKに同期して取り込んだコマンドが新たなサイクル数カウントコマンドであれば、この直後のtMのタイミングでサイクル数カウントを可能状態とする。無論、TCLKに同期して取り込んだコマンドがコマンドが無い状態も含めて新たなサイクル数カウントコマンドでなければカウント可能状態とすることはない。

【0113】(2) タイミングtMの直後のRCLKからRCLKに同期してサイクル数をカウントし必要なサイクル数継続する。

【0114】上記の手順でRCLKのサイクルをTCLKに同期したコマンドを受けて数えれば、図15中でRCLKに付した丸数字のように、折り返し点の近くに配置されたメモリモジュールでもコントローラの近くに配置されたメモリモジュールの場合でも、タイミングtAのコマンドに対応するタイミングtBから同じレイテンシーでデータをRCLKに同期してデータバスに乗せることが出来る。

【0115】これによってコントローラもTCLKのタイミングtAとRCLKのタイミングtBがコントローラでの中間タイミングtMを介して同様に対応づけられているので、コントローラにとってコマンドを出して対応するデータを受け取るという動作のメモリのデータバス上での位置の差は全くなくなる。

【0116】なお、倍周期のクロックTSIGN、RSIGNによって、図15中の太線で示したサイクルと細線で示したサイクルが識別できるので、クロックTCLK、RCLKの位相が1サイクル以上2サイクル未満までずれても、中間タイミングtMを確定することができる。すなわち、クロックバスのループがクロック(TCLK、RCLK)の周期に比べて長く、TCLKがRCLKとして戻ってきたときに2サイクルまで転送時間がかかっても良いことになる。

【0117】次にメモリモジュールMMやコントローラMECで上記中間タイミングtMを設定する具体的な方法について説明する。

【0118】図16はTCLKまたはRCLKに同期して作られた偶数内部クロックTeuまたはReu、奇数内部クロックTouまたはRouの変化を示す。これら



の内部クロックがメモリモジュールまたはコントローラ内で作られるならば、これらを用いて先のタイミング  $t_M$  をメモリモジュールまたはコントローラで作ることができる。

【0119】このタイミング  $t_M$  は、 $T_{ou}$  または  $TCLK$  のいずれかのサイクル（これを例えば  $CLK1$  と称する）に対して  $\delta$  だけ遅れた  $R_{ou}$  または  $RCLK$  のいずれかのサイクル（これを例えば  $CLK2$  と称する）があるときに、 $CLK1$  から  $\delta/2$  だけ遅れたタイミングに相当しており、以下のような方法で作られる。

【0120】すなわち、 $CLK2$  の  $CLK1$  に対する遅れ ( $\delta$ ) を  $CLK1$  の  $CLK2$  に対する遅れ ( $2\tau - \delta$ )（ただし  $\tau$  は  $CLK1$  または  $CLK2$  の周期）としてとらえ、この遅れの半分の遅れ ( $\tau - \delta/2$ ) の遅れたタイミングを  $CLK1$  から作り、このタイミングからある  $CLK1$  サイクルまでの遅れ ( $\tau + \delta/2$ ) をとらえ、この遅れだけ上記のある  $CLK1$  サイクルから遅れたタイミングを作り、このタイミングを  $CLK1$  に対して  $\delta/2$  遅れたタイミングとする。

【0121】次に、先の  $SAD$  を用いて上記タイミング  $t_M$  を作る具体的な方法を図17のタイミングチャートを用いて説明する。 $TCLK$  と  $RCLK$  は折り返し点で戻ってくることににより、 $TCLK$  と  $RCLK$  との間に  $\delta$  なる位相差が生じたとする。この位相差  $\delta$  は0から ( $360 \times 2$ ) 度である。クロックに  $e$  と  $o$  の区別を示しておいたが、図17では上向き矢印の付いた  $e$  クロックから対応する  $t_M$  のタイミング  $t_{Me}$  が作られる様子を示している。 $o$  クロックからの場合も同様に考えることが出来るのでこの場合は省略した。

【0122】まず  $R_{ou}$  の「1」のタイミングから始まる。 $SAD$  を用いて  $R_{ou}$  と直後の  $T_{ou}$  の遅延量を  $T_{ou}$  の「2」のタイミングで検出し、この遅延量の半分の遅延の後に内部クロック  $\phi_e$  を「3」のタイミングで発生する。クロック  $TCLK$ 、 $RCLK$  の周期を  $\tau$  とすれば、 $R_{ou}$  と  $T_{ou}$  の間の遅延量は  $2\tau - \delta$  であるから「2」と「3」の間すなわち  $T_{ou}$  と  $\phi_e$  の遅延量は  $\tau - \delta/2$  となる。さらに  $SAD$  を用いて  $\phi_e$  のタイミングと直後の  $T_{ou}$  との遅延量を  $T_{ou}$  の「4」のタイミングで検出し、この遅延量と同じ遅延の後に  $t_{Me}$  を「5」のタイミングで発生する。

【0123】「2」から「4」までの遅延は  $T_{ou}$  の周期に等しく  $2\tau$  であるから、「3」から「4」までの、すなわち  $\phi_e$  と  $T_{ou}$  の遅延量は「2」から「4」までの遅延量から、「2」から「3」までの遅延量を引いて  $\tau + \delta/2$  となり、「4」から「5」までの遅延量もこれに等しく  $\tau + \delta/2$  となる。従って  $T_{ou}$  から  $\tau + \delta/2$  の  $t_{Me}$  のタイミングは  $T_{eu}$  から  $\delta/2$  のタイミングであり、 $T_{eu}$  と  $R_{eu}$  の求める中間のタイミングとなる。

【0124】このようにクロック  $TCLK$ 、 $RCLK$  の

5 サイクルで必要なタイミング信号が得られる。図17中及び上記説明での添え字  $e$  と  $o$  を交換すれば、 $T_{ou}$  から  $\delta/2$  のタイミングである  $M_o$  が得られ、 $t_{Me}$  と  $t_{Mo}$  を合わせれば図12におけるタイミング  $t_M$  が得られる。

【0125】次に上記図16、図17で説明した内部クロック  $T_{ou}$ 、 $R_{ou}$ 、 $T_{eu}$ 、 $R_{eu}$  を発生する内部クロック発生回路の具体的な構成及びその動作を、図18を参照して説明する。

10 【0126】図18 (a) はクロック  $TCLK$ 、 $RCLK$  の偶数  $e$  と奇数  $o$  を分けるための信号  $T2$  または  $R2$  を作る回路を示しており、 $TCLK$  もしくは  $RCLK$  が入力されるバッファ101と、 $TSIGN$  もしくは  $RSIGN$  が入力される奇数段（本例では3段）縦続接続されたバッファ102と、4個のNANDゲート103～106とから構成されている。

【0127】すなわち、バッファ101の出力は、NANDゲート103の一方入力端に反転して入力されると共にNANDゲート104の一方入力端に反転して入力される。3段縦続接続されたバッファ102の後段のバッファ102の出力は、NANDゲート103の他方入力端とNANDゲート104の他方の反転入力端にそれぞれ供給される。上記NANDゲート103の出力はNANDゲート105の一方入力端に供給される。上記NANDゲート104の出力はNANDゲート106の一方入力端に供給される。上記NANDゲート105、106の他方入力端は互いに異なるNANDゲートの出力端に接続されている。

30 【0128】すなわち、図18 (a) に示した回路は、2個のNANDゲート105、106よりなるフリップフロップによってクロックの偶数  $e$  と奇数  $o$  を分けるための信号  $T2$  または  $R2$  を作っており、 $T2$  ( $R2$ ) は取り込んだクロック  $TSIGN$  ( $RSIGN$ ) が“H”のときのクロック  $TCLK$  ( $RCLK$ ) の“L”への遷移で“H”となり、取り込んだクロック  $TSIGN$  ( $RSIGN$ ) が“L”のときのクロック  $TCLK$  ( $RCLK$ ) の“L”への遷移で“L”となる。なお、クロック  $TCLK$  ( $RCLK$ )、 $TSIGN$  ( $RSIGN$ ) と  $T2$  ( $R2$ ) の関係を図18 (d) のタイミングチャートに示す。

【0129】図18 (b) は  $T_{ou}$  または  $R_{ou}$  を作る回路の構成を、同図 (c) は  $T_{eu}$  または  $R_{eu}$  を作る回路の構成をそれぞれ示している。各回路の基本的な構成は同じであり、入力信号のみが異なるので図18 (b) で代表して説明する。

【0130】図18 (b) に示した回路は以下のように構成されている。クロック  $TCLK$  もしくは  $RCLK$  はバッファ111を介してANDゲート112の一方入力端に供給される。このANDゲート112の他方入力端には図18 (a) の回路で作られる信号  $T2$  または  $R2$



が供給される。上記ANDゲート112の出力は、バッファ113を介してANDゲート114の一方入力端に供給される。このANDゲート114の他方入力端には“H”が常時供給されている。上記ANDゲート114の出力は、バッファ115を介してSAD116のFDに供給される。また、ANDゲート112の出力は制御クロックとして上記SAD116に供給される。上記SAD116には、上記FDの他にBDが設けられている。

【0131】SAD116のFD内には複数の遅延ユニットが設けられており、入力された信号はこの複数の遅延ユニットを伝達することによって遅延される。そして、SAD116では、FDにバッファ115からの信号が供給され、次のサイクルのANDゲート112の出力が立ち上がる時点までの遅延時間 $\Delta$ が、FDへの入力信号が伝達した遅延ユニットの数に対応して検出される。さらに、この検出された信号の遅延時間 $\Delta$ に相当する遅延量が保持される。

【0132】BDは、FDで保持された遅延時間 $\Delta$ に相当する遅延量だけ信号を遅延する。そして、BDの出力はバッファ117を介して前記TouまたはRouとして出力される。

【0133】ここで、クロックTCLKもしくはRCLKに対する上記バッファ111及びANDゲート112からなる回路における遅延をD1、BDの出力に対する上記バッファ117における遅延をD2とすると、ANDゲート112の出力に対する上記バッファ113、ANDゲート114及びバッファ115からなる遅延回路における遅延DはD1+D2となるように設定されている。

【0134】このSADを用いた回路の基本的な動作は先に説明した通りであるが、これを簡単に説明すると、図示のようにD=D1+D2とすれば、TouまたはRouの立ち上がりはクロックTCLKまたはRCLKの奇数クロックの立ち上がりと一致する。これはD+ $\Delta$ の遅延量が丁度奇数のクロックTCLKまたはRCLKの周期 $2\tau$ に等しくなることから分かる。 $\Delta$ は周期 $\tau$ やD1、D2の遅延の時間の変化を検出して補償している。

【0135】図18(c)の回路が同図(b)のものと異なる点は、ANDゲート114の他方入力端に“L”を常時供給することによって偶数のクロックTCLKまたはRCLKで動作するようにしただけである。

【0136】図19(a)、(b)は、図17に示した内部タイミングクロック $\Phi_e$ ( $\Phi_o$ )を発生する回路の具体的な構成を示しており、図19(a)は $\Phi_e$ の、図19(b)は $\Phi_o$ の発生回路である。両回路の基本的な構成は同じであるので図19(a)で代表して説明する。

【0137】Rouは縦続接続された2段のバッファ121からなる遅延回路による遅延D(=2\*D2)を経

た後にSAD122のFDに供給される。このSAD122にはTouが供給されており、SAD122でTouまでの遅延量 $\Delta$ がFDで検出される。HBD(Half BD)は、遅延量が常にFDの半分になるように遅延ユニットの数がFD(もしくはBD)の半分に間引かれており、Touのタイミングから $\Delta/2$ の遅延を経てSAD122を出た信号は、バッファ123による遅延D2を経た後に $\Phi_e$ となる。

【0138】すなわち、RouからTouの遅延量が2\*D2+ $\Delta$ で、Touから $\Phi_e$ までの遅延量がその半分のD2+ $\Delta/2$ となる。

【0139】図19(b)の回路でも、上記と同様にしてReuとTeuに対して $\Phi_o$ が得られる。

【0140】図17に示したように、 $\Phi_e$ からTouまでの遅延量をTouから検出することによりタイミングtMeが得られる。また $\Phi_o$ からTeuまでの遅延量をTeuから検出することによりタイミングtMoが得られる。さらに、タイミングtMeとtMoを合わせてタイミングtMとなるが、これを発生する回路の構成を図20に示す。

【0141】図20の回路の機能は図18(b)、

(c)の回路と基本的に同じである。ここではそれぞれFD及びBDが設けられた二つのSAD124、125の出力のOR論理をORゲート126でとることによって、tM(tMeまたはtMo)を得るようにしている。このため、入出力段における遅延量を合わせるために、両SAD124、125の前段にもORゲート127、128が設けられている。上記一方のORゲート127には $\Phi_e$ と“L”が供給され、他方のORゲート128には $\Phi_o$ と“L”が供給されている。また、一方のSAD124にはTouが、他方のSAD125にはTeuがそれぞれ供給されている。

【0142】データの入出力はクロックTCLKまたはRCLKの1周期に2つのデータを転送する所謂DDR(Double Data Rate)であるとする。また、基準タイミングはTCLKやRCLKの立ち上がりで規定されているとして、クロックのデューティ比に依存しないようにする。その理由は、クロックバスの位置に依らないで、クロックの精度良いデューティを保証するのが困難であると思われるからである。そこで、クロックの立ち上がりサイクルの丁度中間のタイミングを発生させて、データのDDR転送に対応する。

【0143】また、図21のタイミングチャートに示すように、Reu(Teu)、Rou(Tou)、Red(Ted)、Rod(Tod)を発生させ、これらの信号に同期させてデータの転送を行う。

【0144】クロックの立ち上がり同期した内部クロックの発生方法については、図18で既に説明したので、これらと180度位相がずれたクロックの発生方法について図22(a)、(b)を参照して説明する。

【0145】図22(a)、(b)に示した回路の構成は図19(a)、(b)のものと同様であり入出力信号が異なるだけなので、図19(a)、(b)と対応する箇所には同じ符号を付してその説明は省略する。

【0146】図22(a)は偶数番目のクロックで180度位相がずれたクロックを作る回路であり、図22(b)は奇数番目のクロックで180度位相がずれたクロックを作る回路である。

【0147】まず、図22(a)の回路におけるT<sub>od</sub>の発生方法について簡単に説明する。T<sub>eu</sub>とT<sub>ou</sub>の位相差は、これはクロックTCLK(RCLK)そのものであるので360度であり、SAD122のFDではこの遅延量に相当するΔを検出する。HBDは遅延量Δ/2を作るものであり、T<sub>ou</sub>からHBDを経て発生されたタイミングT<sub>od</sub>はT<sub>ou</sub>から180度位相が遅れていることになる。データの入力はクロックTCLK(RCLK)の立上りのタイミングと、さらにこれと180度位相がずれたタイミングに対して、あるデータウィンドウを持って転送されてくる。このため、図22の回路で発生された信号のタイミングでデータを取り込むことができる。

【0148】RCLKでデータを出力する場合の内部タイミングの発生の方法が、先の図21のタイミングチャートに示されている。R<sub>eu</sub>、R<sub>ou</sub>、R<sub>ed</sub>、R<sub>od</sub>は既に発生されているものを使用する。Q(D)はデータ出力の状態を示しているが、データの切り替わりがこれらのタイミングにある場合を示している。

【0149】ところで、上記した第2の実施の形態では、SADを用いて発生する内部クロックのタイミングを、実際のずれに合わせて調節する可変遅延機能については特に説明していないが、回路規模を大きくしないために、T<sub>eu</sub>、T<sub>ou</sub>、R<sub>eu</sub>、R<sub>ou</sub>の発生回路に先の可変遅延機能を持たせるようにする。

【0150】図23は、T<sub>ou</sub>、T<sub>eu</sub>、R<sub>ou</sub>、R<sub>eu</sub>の発生回路に可変遅延機能を持たせるために、先の図18(b)、(c)の回路に変えて使用される回路の構成を示している。すなわち、図18(b)の回路の代わりに図23(a)の回路が使用され、図18(c)の回路の代わりに図23(b)の回路が使用される。

【0151】この図23(a)、(b)に示した回路が図18(b)、(c)ものと異なるところは、内部クロックのタイミングを調節するために、図6に示した回路に設けられている可変遅延部52と55と同様の回路が追加されていることである。図中、T<sub>ou'</sub>、T<sub>eu'</sub>、R<sub>ou'</sub>、R<sub>eu'</sub>が遅延時間の調節を受けた信号であり、T<sub>ou</sub>、T<sub>eu</sub>、R<sub>ou</sub>、R<sub>eu</sub>はTCLK、RCLKと位相が一致した信号である。

【0152】なお、この場合にも、可変遅延部52における負荷条件を可変遅延部55と一致させるために、先のバッファ54と同じバッファ54が設けられている。

【0153】ところで、図2や図3などに示したSADに供給されるクロックには、本来の周期の周りに、ある分布で揺いだジッターが存在している。これはクロック発生器における信号の揺らぎが、一定周期であるべきクロックに与える影響であり、当然ながら平均的な周期は一定である。

【0154】いま、外部クロックに対し、図24に示すように「0」から「5」の番号を付し、それぞれのサイクルが持つジッターに対してはδと共に外部クロックに付された番号と同じ番号を付す。ジッターの統計的な最大値はδとする。

【0155】ジッターの定義は、一定の周期のクロックが本来あるべき時刻から実際のクロックがどれだけ遅れたかを表す量としている。従って、実際のクロックが早まれば、値としては負になることもある。

【0156】図24において、クロック1から内部信号を発生する場合を考えると、SADではクロック2とクロック1の間の遅延を検出して、クロック1からの遅延とするために、クロック2でのジッターが+δでクロック1でのジッターが-δの場合と、クロック2でのジッターが-δでクロック1でのジッターが+δの場合が、クロック2とクロック1の間の遅延の両極端となるので、図示のようにクロック0に対する内部信号のジッターは絶対値で3δとなる。

【0157】このようにSADを用いた方式では、外部クロックのジッターの状況によってはこのジッターが大きく増幅され、外部クロックと同期した内部信号のジッターとなってしまう。

【0158】そこで、先の図2や図3などに示したSADにおいては、外部クロックのジッターによる影響をできるだけ小さくする必要があり、これを実現するこの発明の第3の実施の形態について以下に説明する。

【0159】まず、SADを用いた回路での外部クロックのジッター増幅を抑制する原理についてまず説明を行い、次にこれを実現するための具体的な回路構成について説明を行う。

【0160】図25に示すように、外部クロックに対し、図24と同様に「0」から「5」の番号を付し、それぞれのサイクルが持つジッターに対してはδと共に外部クロックに付された番号と同じ番号を付す。クロック1のタイミングから発生されるクロック0に対応する内部信号を発生する際に用いる遅延量を、図24の場合のようにクロック2とクロック1との間で検出しないで、クロック3とクロック1との間、クロック5とクロック1との間で検出して1サイクル分の平均値を遅延量として用いるようにする。クロック3とクロック1との間の遅延量を用いると、平均されたジッターは±δとなるので、これにクロック1でのジッターが付加されて、内部信号のジッターは±2δとなり、図24の場合よりは軽減される。

【0161】さらに、クロック5とクロック1との間の遅延量を用いると、 $1/4$ に平均化されるので、平均されたジッターは $\pm 0.5\delta$ となり、内部信号のジッターは $\pm 1.5\delta$ となる。このようにSADで用いる遅延量を何サイクルかの間で平均すれば、ジッターは平均化されて小さくなる。

【0162】次に、例えば先の図3に示したSADで、このような平均化をどのようにして行うかを考える。

【0163】図26は、図3に示したSADを書き直したものである。なお、説明を簡略化するために、内部クロックのタイミングを調節するための先の可変遅延部52、55等は図示を省略している。また、入力クロックはCKとした。このCKは先のCLKやRCLKに相当するものである。

【0164】このSADは、FD及びBDの他にSHを持つ。FD及びBDはそれぞれ複数の遅延ユニットによって構成されている。SHは、FDとBDの遅延ユニットにそれぞれ対応した複数の状態保持部で構成されている。FD内を前進パルスFCLiが伝達すると、伝達した遅延ユニットに対応した状態保持部がリセット状態からセット状態になり、セット状態になった状態保持部に対応するBD内の遅延ユニットが内部のクロックCLKを直接前段に伝達する。このようにして、前進パルスの伝達した遅延ユニット数に相当する遅延量 $\Delta$ を後進パルスが伝達する遅延ユニットの数として遅延量 $\Delta$ がセットできる。

【0165】また、後進パルスは、伝達しながら伝達した遅延ユニットに対応するSHの状態保持部をリセット状態に戻す。このようにして、クロックの毎サイクルでSHはクロックの1サイクル分の遅延量 $\Delta$ を検出することができる。

【0166】図3のSADでは、SHがクロックの1サイクル毎にセットされていたが、これを複数サイクルにわたって部分的に行えば、毎サイクルの遅延量 $\Delta$ をこれら複数のサイクルで平均化することができる。

【0167】2サイクルで平均化する場合の、SADの構成例を図27に示す。この例ではSHを二つの部分に分け、これらをクロックの交互のサイクルでセット／リセット動作を行わせるものである。

【0168】例えば、図25中のクロック3とクロック2の間は $\Delta 1$ として、クロック2とクロック1の間は $\Delta 2$ として測定される。SHを構成する複数の状態保持部は二つに区分されており、各々のサイクルで $\Delta 1$ と $\Delta 2$ の半分に相当する状態保持部がセットされ、クロック1で内部信号を作る時点ではセットされた状態保持部の数は $\Delta 1$ と $\Delta 2$ の平均値に対応していることになる。さらに、SH内の複数の状態保持部を4つに区分して、4クロックサイクルで順番にセットするようにすれば、図25の4サイクル平均の場合が得られる。

【0169】次に、このセットされた状態保持部をBD

のバース遅延に変換する方式について説明する。図26で説明したように、SHの状態保持部のセット部とリセット部の境目からCLKがBDに入り、これがBDを伝達していく。従って、図27に示すように、 $\Delta 1$ と $\Delta 2$ が共に二つに区分されたSHを構成する小ブロックの途中までの状態保持部がセットされていると、図27の「1」と「2」に見られるような二か所から同時にCLKがBDに進入する。従って、「1」から進入した部分のセットされたユニットのいくつかは、BDでの遅延に寄与しない。この無視されるユニットの数をできるだけ少なくする方法を図28に示す。

【0170】図28(a)、(b)は、図27のSADのBDのみを模式的に示している。図において、二つに区分されたSHの対応する遅延ユニットのブロックを符号130で示している。各遅延ユニットのブロック130のそれぞれには「e」と「o」を付して、クロックの交互のサイクルで各々のブロックが遅延線としてセットされることを示している。

【0171】また、各遅延ユニットのブロック130において、斜線を施した部分は、セットされた遅延ユニットに相当している。BDの小ブロックの伝達した後進パルスは、直接次の小ブロックに伝達されるのではなく、ANDゲート131により、一つ前のブロック130の出力とのAND論理をとった後に伝達される。このようにすることで、例えば図28(a)に示すように、途中までセットされた小ブロック130が隣接している場合は、セットされている領域が多い方が遅延として働き、少ない方は無視される。すなわち、図28(a)中、太枠で囲んだ小ブロック130による遅延は無視されて誤差となる。また、図28(b)に示すように、クロックの揺らぎが大きく、「e」の小ブロック130と「o」の小ブロック130の間で1小ブロック以上の差ができた場合は、部分的にセットされた小ブロックのうち、よりパルスの進行の方向の先にある、図中、太枠で囲んだ小ブロック130による遅延が無視される。

【0172】もし、ANDゲート131によって論理をとらないと、部分的にセットされた小ブロック130に挟まれた全ての小ブロック130の遅延が無視されてしまう。以上により、小ブロックのセット状態がどのようになろうとも、小ブロックの一つが無視されるのみとなる。

【0173】図29(a)、(b)は、SHを4つの部分に区分して、4サイクルの平均値をとる場合の例を示している。この場合、小ブロック130の種類は4種となり、これらに「a」、「b」、「c」、「d」を付して区別している。また、各小ブロック130は連続した4つの小ブロックの出力のAND論理をとるANDゲート131の出力を入力としている。図29(a)では、隣接する小ブロックが部分的にセットされた状態を示しており、このときはセット部分が最大の小ブロックを除

いて他の部分的にセットされた小ブロックの遅延は無視される。図では太枠が囲んだ小ブロックの遅延が無視される。

【0174】図29(b)では、部分的にセットされた状態の小ブロックが隣接しない場合であり、このときフルにセットされた小ブロックよりもパルス進行方向の先にある部分セット状態の小ブロックが無視され、フルにセットされた小ブロックよりパルス進行手前にある部分セット状態の小ブロックのうち最もセット部分が多い部分セットの小ブロックとフルセット小ブロック以外も無視される。

【0175】すなわち、図中、太枠で囲まれた小ブロックが無視されて遅延に寄与しない。ANDゲート131

1サイクル前	2と1の間	$\tau + \delta 1 - \delta 2$
2サイクル前	3と2の間	$\tau + \delta 2 - \delta 3$
.	.	.
.	.	.
n-1サイクル前	nとn-1の間	$\tau + \delta n - \delta n-1$
nサイクル前	n+1とnの間	$\tau + \delta n+1 - \delta n$

【0179】SHを複数の状態保持部で構成し、これらの状態保持部を $\alpha$ 個ずつの小ブロックに分けて、図29の「a」、「b」、「c」、「d」…のように $n$ 種に分け、各サイクルでの周期を用いてセットを行うと、各サイクル毎にセットされている状態保持部の数は各々の種別毎に $1/n$ の個数しかないので、上記各サイクルでの周期が $1/n$ されたものとなる。小ブロックは $\alpha$ ユニットからなるので、各種別毎に部分的にセットされた小ブロックは一つあり、その小ブロックでのセットされたユニットの数は $i$ サイクル前の種で、

【数1】

$$\Delta i \equiv \tau / n + (\delta i - \delta i+1) / n \pmod{\alpha} \cdots (1)$$

【0180】となる。 $\Delta i$ は $\alpha$ を法としているから、 $0 \leq \Delta i < \alpha$ を満たす。

【0181】これらの未充足小ブロックの一つを例えば

$$-\delta - 2\delta / n - (n-1)\alpha < J \leq \delta + 2\delta / n \cdots (4)$$

【0184】となる。

【0185】図3の従来のSADは、 $n=1$ の場合で $\pm 3\delta$ がジッターの最大となる。小ブロックをどの位の大きさにするかを考えると、 $\alpha=1$ とすれば、 $\Delta i=0$ となるので、

【数5】

$$J = T0 - \tau = \delta 1 + (\delta 1 - \delta n+1) / n \cdots (5)$$

【0186】となり、ジッターを最も小さくできることがわかる。

【0187】すなわち、図28や図29に示す小ブロックは、一つずつの遅延ユニットから構成するようにする

が設けられていないと、部分セットの小ブロックに囲まれたフルセットの小ブロックも無視されることになる。以上により、無視される小ブロックの数は3つを越えることはない。

【0176】このような小ブロックに分けた構成でのジッターの影響を理論的に扱って、小ブロックの規模などを以下に考察する。

【0177】外部クロックの周期を $\tau$ とし、図25に示すようにサイクル1を起点に考える。各サイクルでのジッターを考慮すると、各サイクルでの周期は下記の表1に示すような関係となる。

【0178】

【表1】

$j$ を除いて無視されるのが図28や図29の方式であるから、サイクル1で発生されてサイクル0に一致すべき内部信号のタイミングは、

【数2】

$$T0 = \delta 1 + \sum_{i=1}^n (\tau + \delta i - \delta i+1) / n - (\sum_{i=1}^n \Delta i - \Delta j) \cdots (2)$$

よって、内部信号のジッター $J$ は、

【数3】

$$J = T0 - \tau = \delta 1 + (\delta 1 - \delta n+1) / n + \Delta j - \sum_{i=1}^n \Delta i \cdots (3)$$

【0182】と表される。なお、 $-\delta \leq \delta i \leq \delta$ 、 $0 \leq \Delta i < \alpha$ である。

【0183】よって、

【数4】

$$\delta 1 = (1 - \beta)r + \beta c \cdots (6)$$

【0189】として、相関の強さ $\beta$ を導入する。 $0 \leq \beta \leq 1$ であり、 $r$ はランダムな変数で $-\delta \leq r \leq \delta$ である。 $c$ は他のサイクルと相関した変数でやはり $-\delta \leq c$

≤ δ であり、サイクル間の相関係数を用いて次のように表される。

【 0 1 9 0 】

【 数 7 】

$$c = \sum_{i=2}^{\varepsilon} c(1, i) \delta i \cdots (7)$$

【 0 1 9 1 】 上記 (7) 式において、ε は相関距離に相当するサイクル数で、c (1, i) はサイクル 1 と i との相関係数で、c (1, i) > 0 なる条件を満たす。

【 0 1 9 2 】 また、δ i = δ のとき、c が最大になるの 10

$$J = \left\{ 1 - \beta + \frac{(1 - \beta)}{n} \right\} r + \beta \left( 1 + \frac{1}{n} \right) \sum_{i=1}^{\varepsilon} c(1, i) \delta i - \frac{\delta n + 1}{n} \cdots (9)$$

【 0 1 9 6 】 次にこの J の範囲を評価する。

【 0 1 9 7 】 ε < n + 1 のとき、すなわち相関の距離を越えたサイクルでの平均をとると、最大は r = δ、δ i = δ、δ n + 1 = -δ のときであり、最小は r = -δ、δ i = -δ、δ n + 1 = -δ のときであるから、これらを代入して計算すると次式が得られる。

【 0 1 9 8 】

【 数 1 0 】

$$-\delta - \frac{2\delta}{n} \leq J \leq \delta + \frac{2\delta}{n} \cdots (10)$$

$$\beta \left( 1 + \frac{1}{n} \right) \sum_{i=1}^{\varepsilon} c(1, i) \delta i - \frac{\delta n + 1}{n} = \beta \left( 1 + \frac{1}{n} \right) \left\{ \sum_{i=1}^{\varepsilon} c(1, i) \delta i + \left( \beta \left( 1 + \frac{1}{n} \right) c(1, n+1) - \frac{1}{n} \right) \delta n + 1 \right\} \cdots (11)$$

【 0 2 0 2 】 であるから (11) 式の右辺第 2 項の鉤括弧内の値が正のとき、すなわち β c { 1, n + 1 } を A n と表して、

【 数 1 2 】

$$A_n \geq \frac{1}{n+1} \cdots (12)$$

【 0 2 0 3 】 のとき、最大は r = δ、δ i = δ、δ n + 1 = δ のときであり、最小は r = -δ、δ i = -δ、δ n + 1 = -δ で、(8) 式から、

【 数 1 3 】

$$\sum_{i=n+1}^{\varepsilon} c(1, i) = 1 - c(1, n+1) \cdots (13)$$

$$-\delta (1 - 2A_n) - \frac{2\delta (1 - A_n)}{n} \leq J \leq \delta (1 - 2A_n) + \frac{2\delta (1 - A_n)}{n} \cdots (15)$$

【 0 2 0 7 】 となる。

【 0 2 0 8 】 以上から、相関距離内で平均をとるとさらに 40  
にジッターの増幅は小さくなり、相関の量 A n によって  
は全くジッターの増幅がなくなる。例えば 2 サイクルの  
平均をとる場合は、A n = 1 / 3 が条件の分かれ目だから  
2 サイクル前と約 33 % 以上相関があれば、ジッター  
は外部クロックのままで変化なく、33 % 以下でも (1  
5) 式で n = 2 として分かるように、最大 δ (1 - 3 A  
n) のジッターの増加があるのみである。

【 0 2 0 9 】 また、4 サイクルの平均をとる場合は A n  
= 1 / 5 が条件の分かれ目だから 4 サイクル前と 20 %  
以上の相関があれば、ジッターは外部クロックのままで 50

で、

【 数 8 】

$$\sum_{i=2}^{\varepsilon} c(1, i) = 1 \cdots (8)$$

【 0 1 9 3 】 となる。

【 0 1 9 4 】 以上を考慮すると、内部信号のジッター J  
は、ε、Σ を Σ と略記して、以下の式で表される。

【 0 1 9 5 】

【 数 9 】

【 0 1 9 9 】 上記 (10) 式で示されるように、図 2 5  
に示した場合と同じになり、平均をとるサイクル数を多  
くすると、ジッター増幅の効果はそれだけ小さくなる。  
なお、図 2 5 は相関距離が極端に短い場合または相関が  
ない場合に相当している。

【 0 2 0 0 】 ε ≥ n + 1 のとき、すなわち相関の距離内  
での平均をとる場合は δ n + 1 の係数の正負によって J の  
20 最大最小の条件が異なってくる。

【 0 2 0 1 】

【 数 1 1 】

【 0 2 0 4 】 てあることを使うと、-δ ≤ J ≤ δ とな  
り、ジッターは増幅されない。

【 0 2 0 5 】

【 数 1 4 】

$$A_n < \frac{1}{n+1} \cdots (14)$$

【 0 2 0 6 】 のときは (11) 式の右辺第 2 項の鉤括弧  
内の値は負となり、最大は r = δ、δ i = δ、δ n + 1 =  
-δ のときであり、最小は r = -δ、δ i = -δ、δ n +  
1 = δ となり、

【 数 1 5 】

変化なく、20 % 以下でも (15) 式で n = 4 として分  
かるように、最大 δ (1 - 5 A n) / 2 のジッターの増  
加があるのみである。

【 0 2 1 0 】 何サイクルの平均をとったら最適かは、相  
関係数のサイクル依存性によるが、2 サイクル以上の平  
均化を行うことによって、ジッターの増加が大幅に押さ  
えられることに変わりはない。無相関の場合の A n = 0  
とすれば、図 2 5 の場合と同様の効果が得られることは  
いうまでもない。

【 0 2 1 1 】 次に上記したような小ブロックが 1 遅延ユ  
ニットからなる場合の S A D の具体的な回路構成を図 3  
0 に示す。

【0212】図30は、先の図28に示したBDを具体的に示したものである。ここで、各遅延ユニットは2個のクロックインバータ141、142と1個のNORゲート143とから構成されている。上記2個のクロックインバータ141、142は、先の図4に示した2個のクロックインバータ44、45に対応するものであり、それぞれの動作は対応する遅延ユニット内の状態保持部で発生される制御パルスQ、 $\bar{Q}$ で制御される。上記NORゲート143は、先の図4に示したインバータ46と、図28中のANDゲート131との機能を兼ね備えたものであり、このNORゲート143には上記2個のクロックインバータ141、142の出力が供給される。

【0213】このような構成のBDにおいて、各遅延ユニット内の2個のクロックインバータ141、142は、対応する遅延ユニット内の状態保持部で発生される制御パルスQ、 $\bar{Q}$ に基づき、後段からのパルスRCLを受けて前段に伝える遅延素子として働くか、クロックCLKを後進パルスの遅延経路に導入する入り口として働く。また、各遅延ユニットは、自分自身の状態と後段からの状態とを受けて、出力RCLioまたはRCLieに対応する状態保持部に送る。

【0214】この場合のFDの基本的な構成は、図31に示すようにBDと同じであり、2個のクロックインバータ151、152は、先の図4に示した2個のクロックインバータ41、42に対応している。また、NORゲート153は、先の図4に示したインバータ43とANDゲート131との機能を兼ね備えたものであり、このNORゲート153には上記2個のクロックインバータ151、152の出力が供給される。

【0215】図32は、上記各遅延ユニット内に設けられる状態保持部を、そのクロックサイクル毎にセット/リセットのグループ選択を行うための制御部と共に示したものである。図中、破線で囲んだ部分が状態保持部であり、この状態保持部は前進パルスを伝達するFDの各遅延ユニット毎に設けられている。

【0216】この状態保持部において、電源電位のノードと接地電位のノードとの間にはそれぞれ2個のPチャネル及びNチャネルMOSトランジスタ161~164が直列に挿入されている。

【0217】PチャネルMOSトランジスタ161のゲートには、パルスRCLioもしくはRCLieがインバータ165を介して供給される。PチャネルMOSトランジスタ162のゲートには、後述する制御部から出力される信号 $\bar{R}o$ もしくは $\bar{R}e$ が供給される。NチャネルMOSトランジスタ163のゲートには、後述する制御部から出力される信号SoもしくはSeが供給される。NチャネルMOSトランジスタ164のゲートには、パルスFCLioもしくはFCLieが供給される。

【0218】そして、PチャネルMOSトランジスタ1

62とNチャネルMOSトランジスタ163の直列接続ノードから制御パルス $\bar{Q}k$ もしくは $\bar{Q}k+l$ が出力され、さらにこの制御パルス $\bar{Q}k$ もしくは $\bar{Q}k+l$ をインバータ166で反転することにより、制御パルス $Qk$ もしくは $Qk+l$ が出力される。

【0219】状態保持部の制御部は、それぞれ1個のNORゲート167、NANDゲート168と、2個のインバータ169、170とから構成されている。NORゲート167には、制御信号 $\bar{F}o$ もしくは $\bar{F}e$ と制御信号BPMが供給される。NANDゲート168には、制御信号 $Fo$ もしくは $Fe$ と制御信号BPMが供給される。そして、NORゲート167の出力がインバータ169で反転されることによって先の信号 $\bar{R}o$ もしくは $\bar{R}e$ が発生され、NANDゲート168の出力がインバータ170で反転されることによって先の信号SoもしくはSeが発生される。

【0220】図32に示した状態保持部は、トランジスタ162と163の直列接続ノードがセット/リセット状態に応じた信号を出力する信号ノードとなり、トランジスタ161と162はこの信号ノードに電荷を供給するためのものであり、トランジスタ163と164はこの信号ノードから電荷を引き抜くものである。そして、トランジスタ163と164が共に導通状態にされたときに上記信号ノードにセット出力( $\bar{Q} = "L"$ 、 $Q = "H"$ )が得られ、トランジスタ161と162が共に導通状態にされたときに上記信号ノードにリセット出力( $\bar{Q} = "H"$ 、 $Q = "L"$ )が得られる。

【0221】すなわち、前進パルスFCLioもしくはFCLieによって制御パルス $Qk$ もしくは $Qk+l$ が立ち上がることにより、セット状態にされる。しかし、このセット動作を行うのは、FCLioならばSo、FCLieならばSeがそれぞれ"H"のときである。

【0222】また、状態保持部は、FDを構成する遅延ユニットからのパルスRCLioもしくはRCLieを受けてリセット状態にされ、制御パルス $Qk$ もしくは $Qk+l$ が立ち下がる。しかし、このリセット動作を行うのは、RCLioならば $\bar{R}o$ 、RCLieならば $\bar{R}e$ がそれぞれ"L"のときである。

【0223】信号 $\bar{R}o$ 、Soのレベルは $\bar{F}o$ 、 $Fo$ によって制御され、 $Fo$ が"L"のときにはそれぞれ"H"、"L"となり、このときは状態保持部のセット/リセットが行われず、以前の $Qk$ の状態がダイナミック的に維持される。信号 $\bar{R}e$ 、Seと $\bar{F}e$ 、 $Fe$ についても同様である。なお、制御信号BPMは、状態保持部がセット/リセットの受け入れ可能サイクルであれば、そのレベルが"L"となるタイミングで状態保持部をリセットするための信号である。

【0224】このように、制御信号 $Fo$ や $Fe$ を制御することで状態保持部の有効なサイクルを決定することができる。次にこの制御信号 $Fo$ 、 $Fe$ を発生する制御信

号発生回路について図 33 を参照して説明する。

【0225】上記のように 2 サイクルで平均をとる場合は、外部クロックの 1 サイクル毎に  $F_o$  と  $F_e$  を交互に立てるようにして、遅延ユニットの一つおきに交互に状態保持部のセット／リセット動作を行うようにすれば良い。

【0226】図 33 (a) に示す回路は、クロック CLK と前進パルス FCL0 の反転信号とが供給される AND ゲート 171 と、制御信号  $F_e$  を所定時間遅延する遅延回路 172 と、制御信号  $F_o$  を所定時間遅延する遅延回路 173 と、上記 AND ゲート 171 の出力 a と上記遅延回路 172 の遅延出力とが供給される NAND ゲート 174 と、上記 AND ゲート 171 の出力 a と上記遅延回路 173 の遅延出力とが供給される NAND ゲート 175 と、それぞれ一方の出力信号が他方の一つ目の入力信号として供給される如くいわゆるたすき掛け接続されてフリップフロップ回路を構成する 2 個の NAND ゲート 176、177 とを有している。

【0227】NAND ゲート 176、177 それぞれの二つ目の入力信号として、NAND ゲート 174、175 の出力信号が供給される。そして、制御信号  $F_o$ 、 $F_e$  は上記 NAND ゲート 176、177 の出力信号として得られる。ここで得られた制御信号  $F_o$ 、 $F_e$  は遅延回路 172、173 にフィードバックされる。

【0228】図 33 (b) は、同図 (a) 中の遅延回路 172、173 それぞれの具体的回路構成を示している。両遅延回路は同様に構成されており、上記 AND ゲート 171 の出力信号 a の反転信号  $\neg a$  が “H” のときに動作して信号  $F_e$  もしくは  $F_o$  を反転するクロックドインバータ 181 と、上記信号 a が “H” のときに動作して上記クロックドインバータ 181 の出力ノードの信号を反転するクロックドインバータ 182 と、直列接続された 2 個のインバータからなり上記クロックドインバータ 181 の出力ノードの信号を同じノードに正帰還する正帰還回路 183 とから構成されている。

【0229】図 33 (a) に示された制御信号発生回路は、2 個の NAND ゲート 176、177 からなるフリップフロップ回路において、信号  $F_o$ 、 $F_e$  の両方が同時に同じ状態にならないことを利用している。そして、信号  $F_o$ 、 $F_e$  の状態は、クロック CLK が立ち上がり、前進パルスが FD に入力される前で後進パルスが BD 中を伝達されている最中に、毎サイクル交互に切り替わるようになっている。これにより、状態保持部のセットされた総数は毎サイクルで 2 サイクル分の平均となり、図 30 に示す BD によって、この総数分の BD の遅延ユニットを後進パルスが伝達することになる。

【0230】次に、図 29 に対応した 4 サイクルで平均する場合で、小ブロックが 1 遅延ユニットからなる場合の具体的な回路構成について説明する。

【0231】図 34 は、図 29 の場合の BD を具体的に

示している。この場合、各遅延ユニットは 2 個のクロックドインバータ 141、142 と 1 個の NOR ゲート 144 とから構成されている。この NOR ゲート 144 は、先の図 30 中の NOR ゲート 143 とは異なり、4 個の遅延ユニットからの出力信号が供給されるように 4 入力となっている。その他の構成及び基本的な動作は図 30 のものと同様なので、これらの説明は省略する。

【0232】図 35 は、図 29 の場合の FD を具体的に示している。この場合、各遅延ユニットは 2 個のクロックドインバータ 151、152 と 1 個の NOR ゲート 154 とから構成されている。この NOR ゲート 154 は、先の図 31 中の NOR ゲート 153 とは異なり、4 個の遅延ユニットからの出力信号が供給されるように 4 入力となっている。その他の構成及び基本的な動作は図 31 のものと同様なので、これらの説明は省略する。

【0233】図 36 は、上記のように 4 サイクルで平均する場合の、上記各遅延ユニット内に設けられる状態保持部を、そのクロックサイクル毎にセット／リセットのグループ選択を行うための制御部と共に示したものである。図中、破線で囲んだ部分が状態保持部である。この状態保持部は、それぞれ 2 個の P チャネル、N チャネル MOS トランジスタ 191～194 と、2 個のインバータ 195、196 とで構成されている。P チャネル MOS トランジスタ 191 のゲートには、パルス RCLia、RCLib、RCLic、RCLid のうちのいずれか一つの信号がインバータ 195 を介して供給される。

【0234】P チャネル MOS トランジスタ 192 のゲートには、後述する制御部から出力される信号  $\neg Ra$ 、 $\neg Rb$ 、 $\neg Rc$ 、 $\neg Rd$  のうちのいずれか一つの信号が供給される。N チャネル MOS トランジスタ 193 のゲートには、後述する制御部から出力される信号  $Sa$ 、 $Sb$ 、 $Sc$ 、 $Sd$  のうちのいずれか一つの信号が供給される。N チャネル MOS トランジスタ 194 のゲートには、パルス FCLia、FCLib、FCLic、FCLid のうちのいずれか一つのパルスが供給される。

【0235】そして、P チャネル MOS トランジスタ 192 と N チャネル MOS トランジスタ 193 の直列接続ノードから制御パルス  $\neg Qk$ 、 $\neg Qk+1$ 、 $\neg Qk+2$ 、 $\neg Qk+3$  のうちのいずれか一つが出力され、さらにこの制御パルス  $\neg Qk$ 、 $\neg Qk+1$ 、 $\neg Qk+2$ 、 $\neg Qk+3$  をインバータ 196 で反転することにより、制御パルス  $Qk$ 、 $Qk+1$ 、 $Qk+2$ 、 $Qk+3$  のうちのいずれか一つが出力される。

【0236】状態保持部の制御部は、それぞれ 1 個の NOR ゲート 197、NAND ゲート 198 と、2 個のインバータ 199、200 とから構成されている。NOR ゲート 197 には、制御信号  $\neg Fa$ 、 $\neg Fb$ 、 $\neg Fc$ 、 $\neg Fd$  のうちのいずれか一つと先の制御信号 BPM とが供給される。NAND ゲート 198 には、制御信号  $Fa$ 、 $Fb$ 、 $Fc$ 、 $Fd$  のうちのいずれか一つと先の制御信号 B



PMが供給される。そして、NORゲート197の出力がインバータ199で反転されることによって先の信号／Ra、／Rb、／Rc、／Rdのうちいずれかが一つが発生され、NANDゲート198の出力がインバータ200で反転されることによって先の信号Sa、Sb、Sc、Sdのうちいずれかが一つが発生される。

【0237】図36に示した状態保持部は、前進パルスFCLia、FCLib、FCLic、FCLidのいずれかによって制御パルスQk、Qk+1、Qk+2、Qk+3のいずれかが立ち上がることにより、セット状態にされる。しかし、このセット動作を行うのは、FCLiaならばSa、FCLibならばSb、FCLicならばSc、FCLidならばSdがそれぞれ“H”のときである。

【0238】また、状態保持部は、FDを構成する遅延ユニットからのパルスRCLia、RCLib、RCLic、RCLidのいずれかを受けてリセット状態にされ、制御パルスQk、Qk+1、Qk+2、Qk+3のいずれかが立ち下がる。しかし、このリセット動作を行うのは、RCLiaならば／Ra、RCLibならば／Rb、RCLicならば／Rc、RCLidならば／Rdがそれぞれ“L”のときである。

【0239】例えば、信号／Ra、Saのレベルは／Fa、Faによって制御され、Faが“L”のときにはそれぞれ“H”、“L”となり、このときは状態保持部のセット／リセットが行われず、以前のQkの状態がダイナミック的に維持される。信号／Rb、Sbと／Fb、Fb、信号／Rc、Scと／Fc、Fc、信号／Rd、Sdと／Fd、Fdについても同様である。

【0240】このように、制御信号Fa、Fb、Fc、Fdを制御することで状態保持部の有効なサイクルを決定することができる。

【0241】次に、これらの制御信号Fa、Fb、Fc、Fdを発生する制御信号発生回路について図37を参照して説明する。

【0242】上記のように4サイクルで平均をとる場合は、外部クロックの4サイクルでFa、Fb、Fc、Fdを順次立てるようにする。

【0243】図37(a)に示す回路は図33(a)の回路で得られる信号Foを入力としている。すなわち、この回路は、インバータ201、このインバータ201の出力を所定時間遅延する遅延回路202、この遅延回路202の出力と上記信号Foとが供給されるNANDゲート203、このNANDゲート203の出力を反転するインバータ204からなり、信号Foの立ち上がりエッジに同期したパルスが発生するエッジパルス発生回路205と、制御信号Feeを所定時間遅延する遅延回路206と、制御信号Fooを所定時間遅延する遅延回路207と、上記エッジパルス発生回路205の出力信号bと上記遅延回路206の遅延出力とが供給されるNANDゲート208と、上記エッジパルス発生回路205の

出力信号bと上記遅延回路207の遅延出力とが供給されるNANDゲート209と、それぞれ一方の出力信号が他方の一つ目の入力信号として供給される如くいわゆるたすき掛け接続されてフリップフロップ回路を構成する2個のNANDゲート210、211とを有している。

【0244】上記NANDゲート210、211それぞれの二つ目の入力信号として、上記NANDゲート208、209の出力信号が供給される。そして、制御信号Foo、Feeは、上記NANDゲート210、211の出力信号として得られる。ここで得られた制御信号Foo、Feeは、遅延回路206、207にフィードバックされる。

【0245】図37(b)は、同図(a)中の遅延回路206、207それぞれの具体的回路構成を示している。両遅延回路は同様に構成されており、上記エッジパルス発生回路205の出力信号bの反転信号／bが“H”のときに動作して信号FeeもしくはFooを反転するクロックドインバータ221と、上記信号bが“H”のときに動作して上記クロックドインバータ221の出力ノードの信号を反転するクロックドインバータ222と、直列接続された2個のインバータからなり上記クロックドインバータ221の出力ノードの信号を同じノードに正帰還する正帰還回路223とから構成されている。

【0246】図37(c)は、先の制御信号Fo及びFeeと、同図(a)の回路によって得られる制御信号Fo、Feeとから、制御信号Fa、Fb、Fc、Fd及びこれらの反転信号／Fa、／Fb、／Fc、／Fdを発生する回路の構成を示している。この図37(c)に示した回路は、Faと／Fa、Fbと／Fb、Fcと／Fc、Fdと／Fdの4種の信号を発生するために4個設けられている。

【0247】この回路はANDゲート224とインバータ225とから構成されている。ANDゲート224には制御信号FoとFoo、FeeとFoo、FoとFee、FeeとFeeが供給され、このANDゲート224からは制御信号Fa、Fb、Fc、Fdが出力される。そして、この制御信号Fa、Fb、Fc、Fdがインバータ225によって反転されることにより制御信号／Fa、／Fb、／Fc、／Fdが出力される。

【0248】図36(a)に示された制御信号発生回路においても、2個のNANDゲート210、211からなるフリップフロップ回路で信号Foo、Feeの両方が同時に同じ状態にならないことを利用している。そして、信号Foo、Feeの状態を変えるために信号Foの立ち上がりを利用している点が図33(a)のものとは異なっている。すなわち、1サイクルおきに信号Foが立ち上がるから、信号FooとFeeは2サイクル続けて同じ状態を維持し、2サイクルおきに状態が変化する。これらの

信号 F<sub>00</sub>、F<sub>01</sub>を用いて、1 サイクル毎に状態を変化させて、4 サイクルで一巡する制御信号 F<sub>a</sub>、F<sub>b</sub>、F<sub>c</sub>、F<sub>d</sub> とその反転信号を発生することができる。

【0249】このように、第3の実施の形態によれば、外部クロックのジッターによる影響を外部クロック複数サイクルで平均するようにしたので、内部クロックのタイミング調節により、データ転送を確実に行えるという効果に加えて、外部クロックのジッターによる悪影響を削減することができて、より確実なデータ転送を行うことができるという効果が得られる。

【0250】

【発明の効果】以上説明したようにこの発明によれば、メモリモジュールとメモリコントローラとの間のバスの物理条件をそれ程厳しく制限しなくても、高速な同期型データ転送が実現できるデータ高速転送同期システム及びデータ高速転送同期方法を提供することができる。

【図面の簡単な説明】

【図1】この発明の原理を説明するために使用される一般的なメモリボードシステムの概略的な構成を示すブロック図及びそのタイミングチャート。

【図2】先願に記載された SAD (Synchronous Adjustable Delay) を論理ゲートレベル及びシンボルで表現した回路図。

【図3】図2とは異なる従来の SAD の構成を示すブロック図。

【図4】図3に示した SAD の遅延回路の詳細な構成を示す回路図。

【図5】図3に示した SAD の動作の一例を示すタイミングチャート。

【図6】この発明の第1の実施の形態で使用される SAD の構成を示す回路図。

【図7】図6の SAD 中の可変遅延部の具体的な回路構成図。

【図8】図7の可変遅延部に設けられるスイッチ回路の具体的な構成を示す回路図。

【図9】図8に示すスイッチ回路の制御に使用される制御信号を発生する制御信号発生回路の構成を示すブロック図。

【図10】図9における1個の回路ユニットの詳細な回路構成を示す図。

【図11】この発明の第1の実施の形態に係るシステムで使用されるメモリモジュールの内部構成を示すブロック図。

【図12】この発明の第1の実施の形態において、4ビットのバーストデータを転送して格納する場合の動作を示すタイミングチャート。

【図13】この発明の第2の実施の形態に係るメモリボードシステムの概略的なブロック構成を示す図。

【図14】第2の実施の形態における複数のクロック間の位相関係をj示すタイミングチャート。

【図15】第2の実施の形態において、メモリモジュールがデータバス上でデータの衝突を起こさずにかつデータ転送のギャップが無くデータの転送を行うためのタイミング t<sub>M</sub> を作る方法を説明するためのタイミングチャート。

【図16】第2の実施の形態における複数の内部クロックの関係を示すタイミングチャート。

【図17】第2の実施の形態において、SADを用いてタイミング t<sub>M</sub> を作る具体的な方法を説明するためのタイミングチャート。

【図18】図16、図17中の各種内部クロックを発生する内部クロック発生回路の具体的な構成を示す回路図及びその動作を説明するためのタイミングチャート。

【図19】図17に示した内部タイミングクロックを発生する回路の具体的な構成を示す図。

【図20】第2の実施の形態において、タイミング t<sub>M</sub> を発生する回路の回路図。

【図21】第2の実施の形態において、クロック TCLK でデータを出力する場合の内部タイミングの発生の方法を説明するためのタイミングチャート。

【図22】第2の実施の形態において、クロックの立上りに同期した内部クロックと 180 度位相がずれたクロックを発生する回路の構成を示す図。

【図23】第2の実施の形態において、内部クロック T<sub>0u</sub>、T<sub>1u</sub>、R<sub>0u</sub>、R<sub>1u</sub> に可変遅延機能を持たせるようにした内部クロック発生回路の回路図。

【図24】外部クロックとこの外部クロックが持つジッターとの関係を示すタイミングチャート。

【図25】この発明の第3の実施の形態の原理を説明するためのタイミングチャート。

【図26】図3に示した SAD を書き直して示すブロック図。

【図27】第3の実施の形態において、外部クロックに含まれるジッターを2サイクルで平均化する場合の SAD の構成を示すブロック図。

【図28】第3の実施の形態において、外部クロックに含まれるジッターを2サイクルで平均化する場合の BD の構成を示すブロック図。

【図29】第3の実施の形態において、外部クロックに含まれるジッターを4サイクルで平均化する場合の BD の構成を示すブロック図。

【図30】第3の実施の形態において、外部クロックに含まれるジッターを2サイクルで平均化する際に BD の小ブロックを1遅延ユニットとした場合の BD の具体的な回路構成を示す図。

【図31】第3の実施の形態において、外部クロックに含まれるジッターを2サイクルで平均化する際に FD の小ブロックを1遅延ユニットとした場合の FD の具体的な回路構成を示す図。

【図32】第3の実施の形態において、外部クロックに

含まれるジッターを2サイクルで平均化する際の状態保持部をそのクロックサイクル毎にセット/リセットのグループ選択を行うための制御部と共に示す回路図。

【図33】図32の回路で使用される制御信号F<sub>0</sub>、F<sub>e</sub>を発生する制御信号発生回路の回路図。

【図34】第3の実施の形態において、外部クロックに含まれるジッターを4サイクルで平均化する際にFDの小ブロックを1遅延ユニットとした場合のFDの具体的な回路構成を示す図。

【図35】第3の実施の形態において、外部クロックに含まれるジッターを4サイクルで平均化する際にFDの小ブロックを1遅延ユニットとした場合のFDの具体的な回路構成を示す図。

【図36】第3の実施の形態において、外部クロックに含まれるジッターを4サイクルで平均化する際の状態保持部をそのクロックサイクル毎にセット/リセットのグループ選択を行うための制御部と共に示す回路図。

【図37】図36の回路で使用される制御信号F<sub>a</sub>、F<sub>b</sub>、F<sub>c</sub>、F<sub>d</sub>を発生する制御信号発生回路の回路図。

【図38】一般的なメモリボードシステムの概略的な構成を示すブロック図。

【図39】メモリコントローラと異なる数のメモリモジュールが実装された種々のメモリボードシステムの構成を示すブロック図。

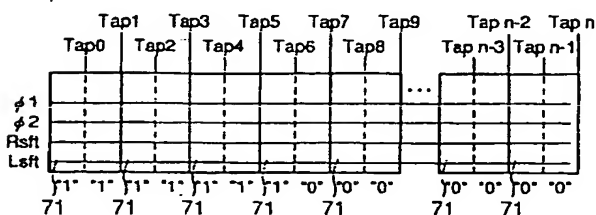
【図40】図39に示した種々のメモリボードシステムにおける動作タイミングの差異を説明するためのタイミングチャート。

【符号の説明】

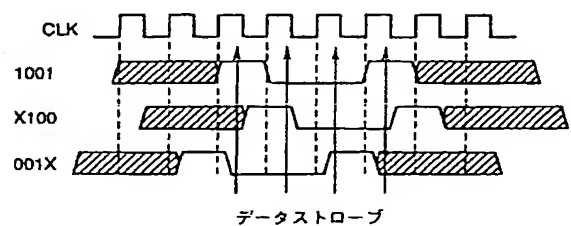
11…入力バッファ、  
13…SAD (Synchronous Adjustable Delay)、  
26、27…遅延回路、  
51、53、54、56、57…バッファ、  
52、55…可変遅延部、  
61…単位遅延素子、  
62-1、62-2…スイッチ回路、  
63、64、68…PチャネルMOSトランジスタ、  
65、66、69、74～85…NチャネルMOSトランジスタ、  
67…CMOS型のクロックドインバータ、  
70…CMOS型のインバータ、

71…回路ユニット、  
72、73…レジスタ、  
86…NANDゲート、  
87…インバータ、  
91、92…SAD、  
93…コマンドデコーダ、  
94、95…制御回路、  
96…データ入力制御回路、  
97…データ出力制御回路、  
101、102、111、113、115、117、121、123…バッファ、  
103～106…NANDゲート、  
114…ANDゲート、  
116、122、124、125…SAD、  
126、127、128…ORゲート、  
130…遅延ユニットのブロック、  
131…ANDゲート、  
141、142、151、152…クロックドインバータ、  
143、144、153、154…NORゲート、  
161、162、191、192…PチャネルMOSトランジスタ、  
163、164、193、194…NチャネルMOSトランジスタ、  
165、166、195、196…インバータ、  
167、197…NORゲート、  
168、198…NANDゲート、  
169、170、199、200、201、204、225…インバータ、  
171、224…ANDゲート、  
172、173、206、207…遅延回路、  
174～177、203、208～211…NANDゲート、  
181、182、221、222…クロックドインバータ、  
183、223…正帰還回路、  
202…遅延回路、  
205…エッジパルス発生回路、  
MEC…メモリコントローラ、  
MM…メモリモジュール。

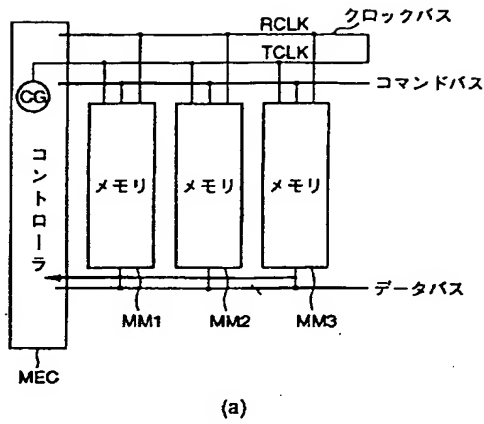
【図9】



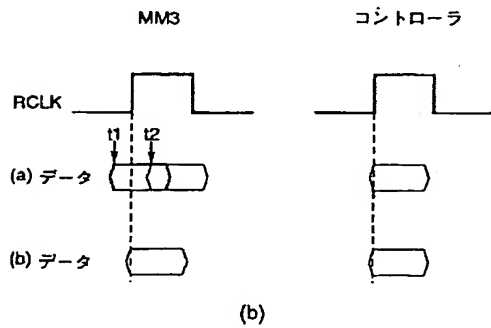
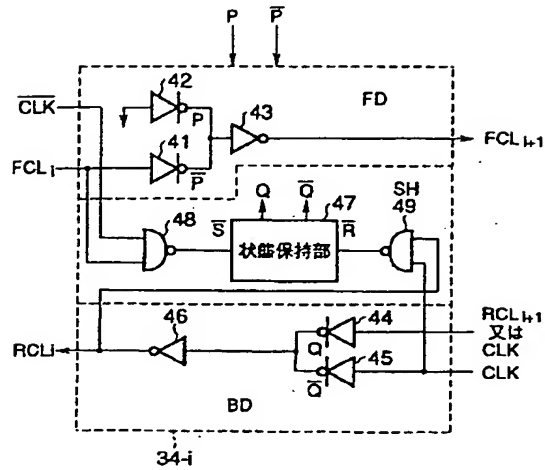
【図12】



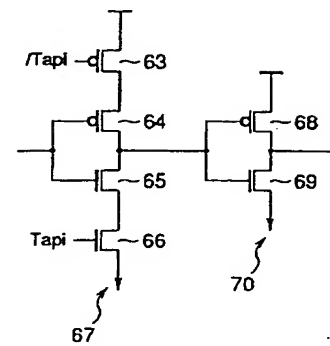
【図 1】



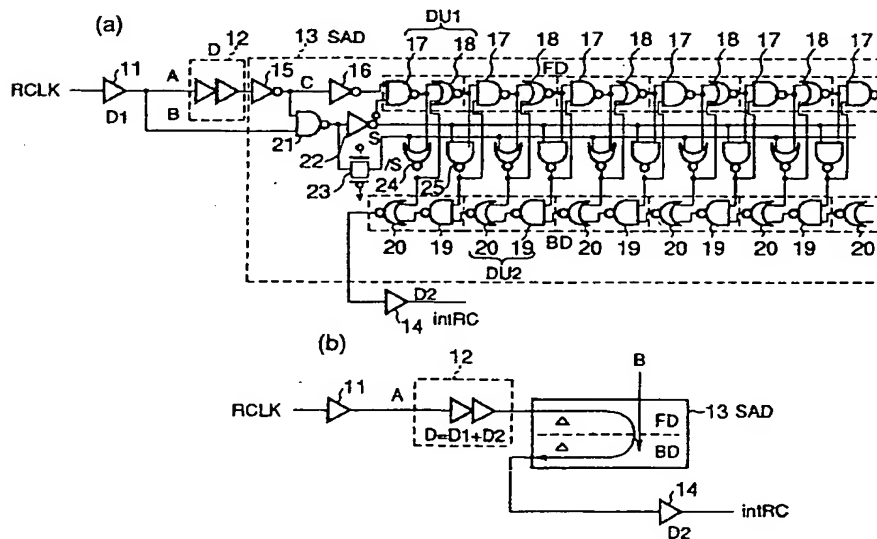
【図 4】



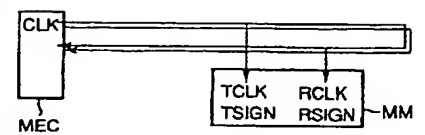
【図 8】



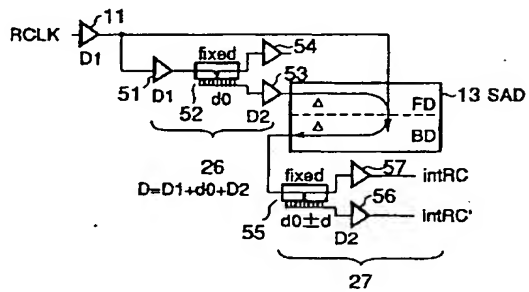
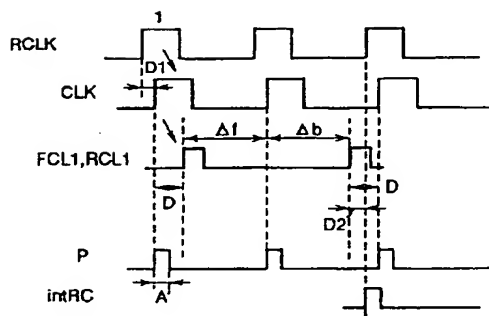
【図 2】



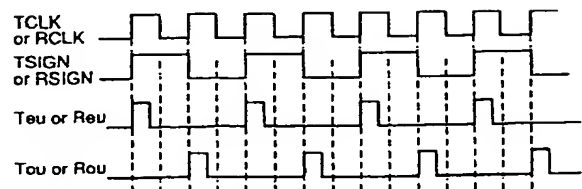
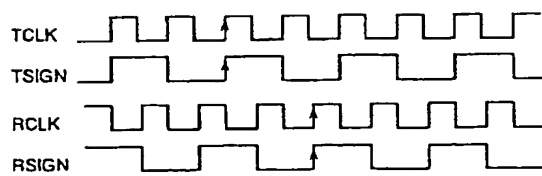
【図 13】



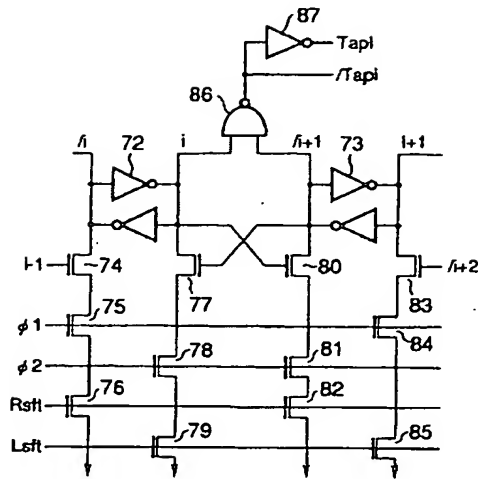
【図 6】



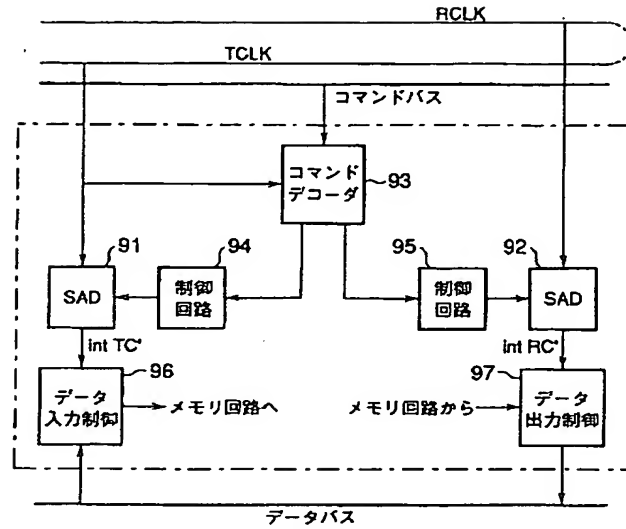
【図 16】



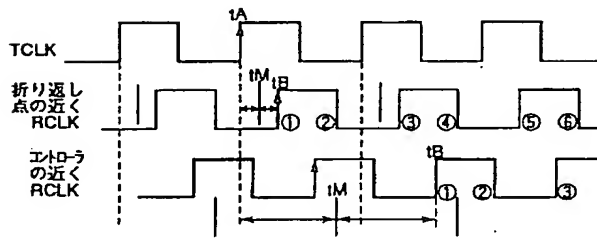
【図 10】



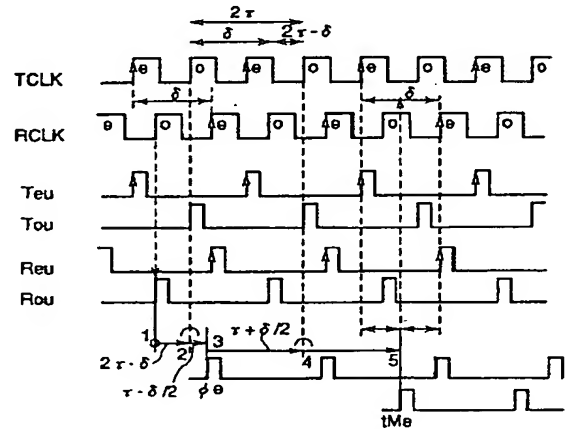
【図 11】



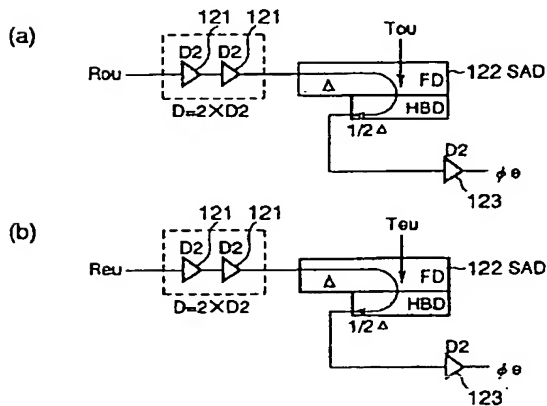
【図 15】



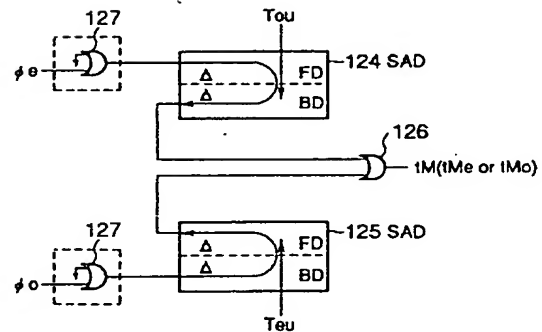
【図 17】



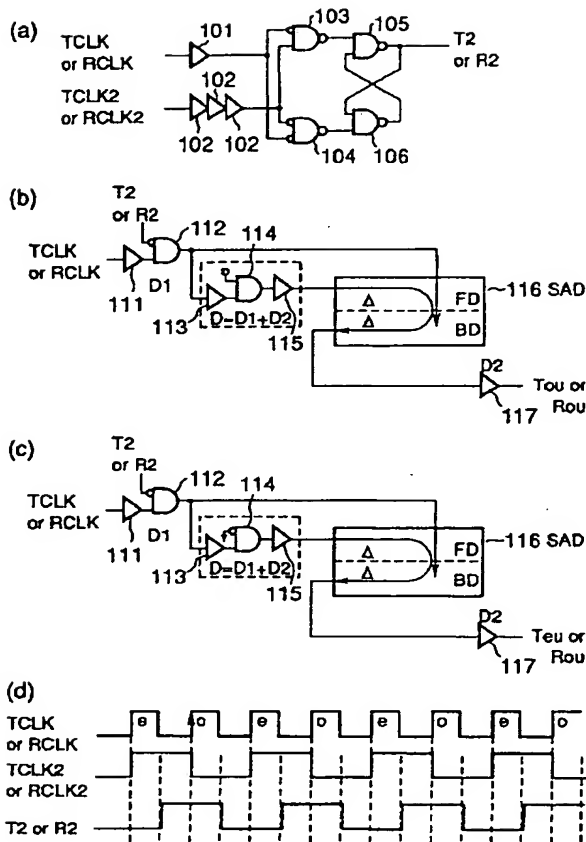
【図 19】



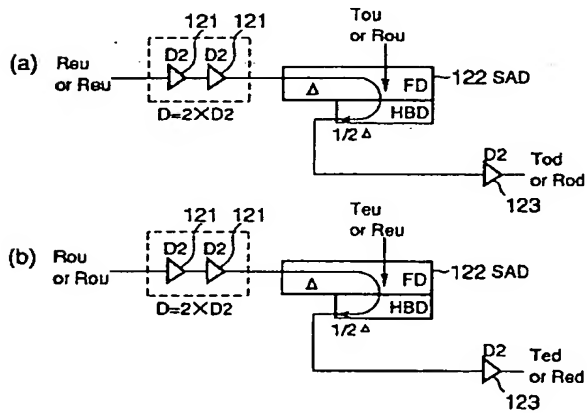
【図 20】



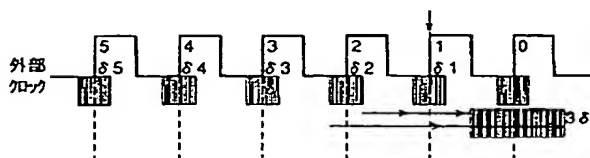
【図 18】



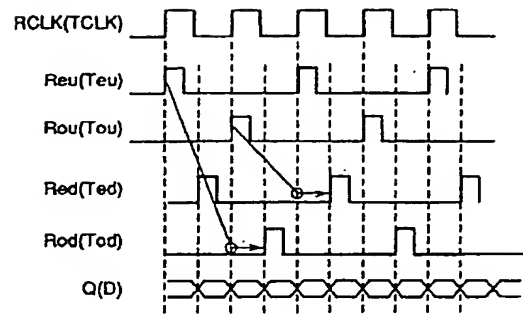
【図 22】



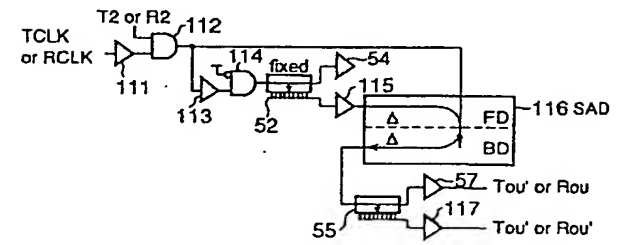
【図 24】



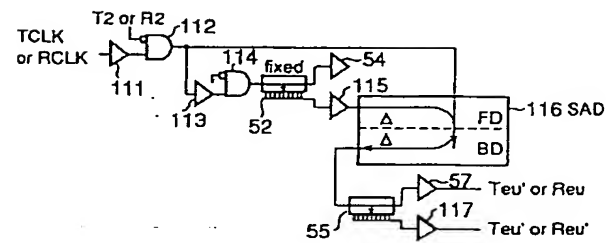
【図 21】



【図 23】

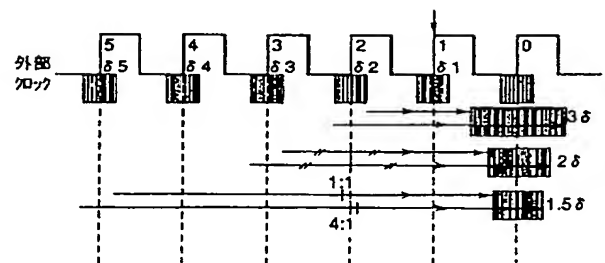


(a)



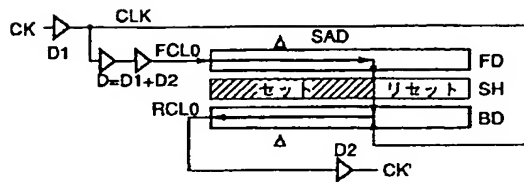
(b)

【図 25】

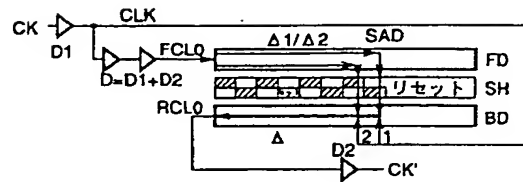




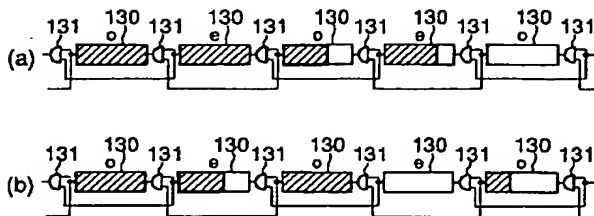
【図 26】



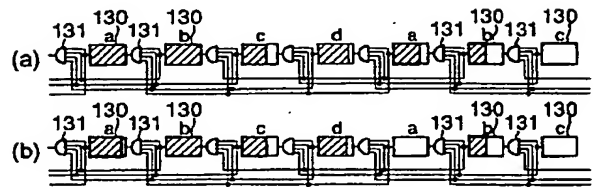
【図 27】



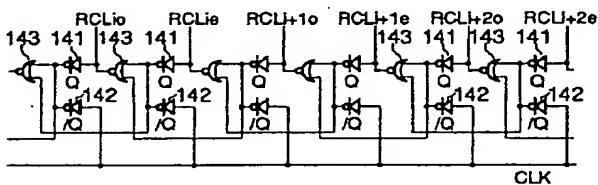
【図 28】



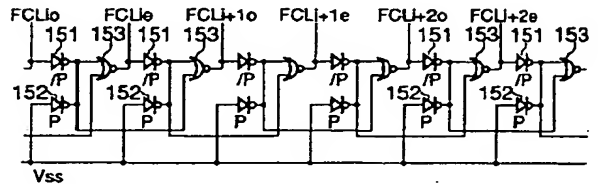
【図 29】



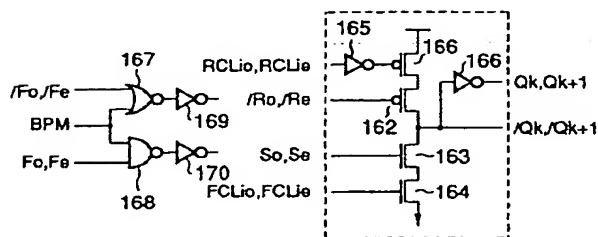
【図 30】



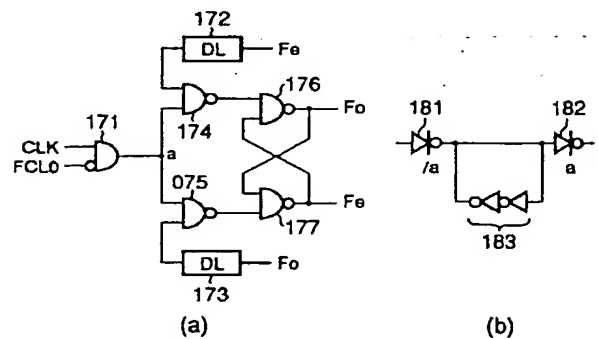
【図 31】



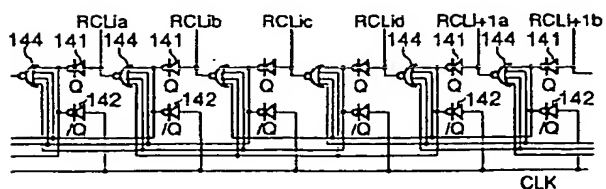
【図 32】



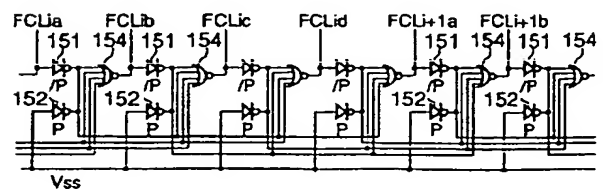
【図 33】



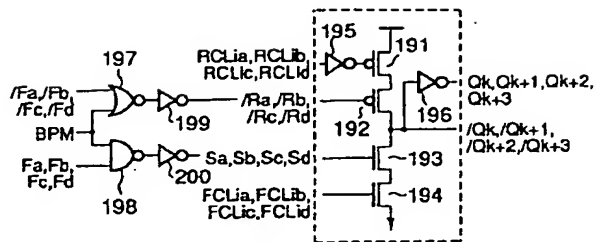
【図 34】



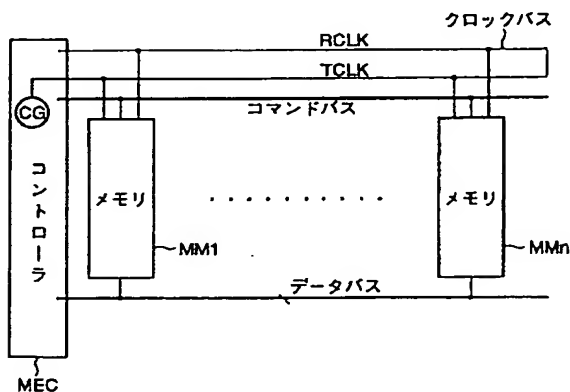
【図 35】



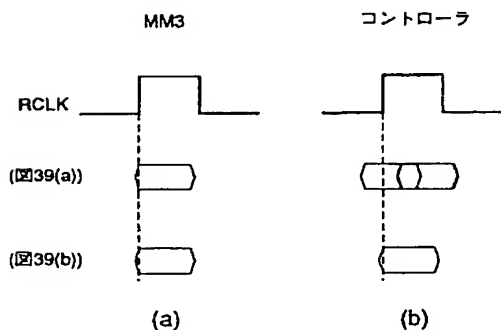
【図 36】



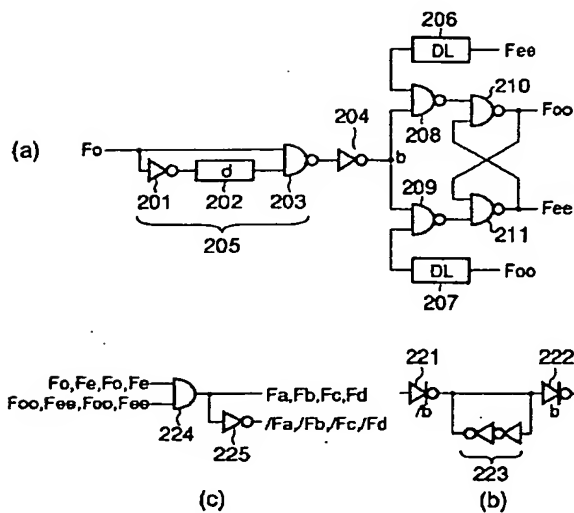
【図 38】



【図 40】



【図 37】



【図 39】

